

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Norihide FUNATO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☒ Full benefit of the filing date of International Application Number PCT/JP02/03829, filed APRIL 17, 2002, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2001-120309	April 18, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Eckhard H. Kuesters

Registration No. 28,870

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

EHK:fb1

I:\USER\FBLAZ\PCT BY-PASS\244167.REQ.PRIORITY.DOC

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2001年 4月18日

出 願 番 号
Application Number: 特願2001-120309
[ST. 10/C]: [JP2001-120309]

出 願 人
Applicant(s): 株式会社東芝

2003年 9月25日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3078904

【書類名】 特許願

【整理番号】 A000101354

【提出日】 平成13年 4月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置および半導体装置の製造方法

【請求項の数】 11

【発明者】

【住所又は居所】 兵庫県揖保郡太子町鵜 3 0 0 番地 株式会社東芝姫路半導体工場内

【氏名】 船戸 紀秀

【発明者】

【住所又は居所】 兵庫県揖保郡太子町鵜 3 0 0 番地 株式会社東芝姫路半導体工場内

【氏名】 澤野 博志

【発明者】

【住所又は居所】 兵庫県揖保郡太子町鵜 3 0 0 番地 株式会社東芝姫路半導体工場内

【氏名】 難波 正孝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 半導体装置および半導体装置の製造方法
【特許請求の範囲】

【請求項 1】

複数個の電極を有する半導体素子と、
複数個のリードフレームと、
前記各電極のうちの少なくとも 1 個の該電極と、前記各リードフレームのうちの少なくとも 1 個の該リードフレームとを電氣的に接続する、略板形状に形成された電流経路部材と、
前記各リードフレーム、前記半導体素子、および前記電流経路部材をパッケージングするハウジングと、
を具備し、前記電流経路部材は、該電流経路部材の前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間する形状に形成されているとともに、前記電極および前記リードフレームのそれぞれに直接接触するように設けられることを特徴とする半導体装置。

【請求項 2】

前記電流経路部材は、超音波接合によって前記電極および前記リードフレームに直接接触するように接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記電極と前記リードフレームとは、複数個の前記電流経路部材によって接続されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記電流経路部材は、その前記中間部が、所定の曲率を有する略アーチ形状に形成されていることを特徴とする請求項 1～3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】

前記電流経路部材は、少なくともその前記中間部に、これを厚み方向に沿って貫通するように、前記ハウジングの成型材料である封止樹脂が通過する穴が設け

られていることを特徴とする請求項 1～4 のうちのいずれか 1 項に記載の半導体装置。

【請求項 6】

前記電流経路部材は、アルミニウム系の材料によって形成されていることを特徴とする請求項 1～5 のうちのいずれか 1 項に記載の半導体装置。

【請求項 7】

前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極と、前記リードフレームとに接続されていることを特徴とする請求項 1～6 のうちのいずれか 1 項に記載の半導体装置。

【請求項 8】

前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極およびゲート電極と、前記リードフレームとに接続されていることを特徴とする請求項 1～6 のうちのいずれか 1 項に記載の半導体装置。

【請求項 9】

半導体素子が有する複数個の電極のうちの少なくとも 1 個の該電極、および複数個のリードフレームのうちの少なくとも 1 個の該リードフレームのそれぞれに、略板形状に形成されているとともに、前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間するような形状に形成された電流経路部材を、直接接触させるように設けることにより、前記電極および前記リードフレームを電氣的に接続することを特徴とする半導体装置の製造方法。

【請求項 10】

前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームに直接接触するように接続することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームのそれぞれに同時に直接接触するように接続することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置および半導体装置の製造方法に関し、特に半導体装置が具備する電極として、例えば半導体素子のソース電極とリードフレームとを電氣的に接続する電流経路部材、およびこの電流経路部材を用いたソース電極とリードフレームとの接続方法に係る。

【0002】**【従来の技術】**

近年、多種多様な半導体装置が製品として出荷されているが、その中には、図13に示すように、一般にSOP-8パッケージのMOSFETと呼ばれている半導体装置101がある。以下、半導体装置として、このSOP-8パッケージのMOSFET101（以下、MOSFET101と略称する。）を例にとって説明する。

【0003】

MOSFET101は、図13に示すように、その全体の殆どを例えばエポキシ系樹脂などからなる封止樹脂（モールド樹脂）102によって固められて、覆われている。また、このMOSFET101は、SOP-8パッケージという名称の通り、8本のリードフレーム103を有している。各リードフレーム103の一端部は、モールド樹脂102の両側部において4本ずつに分かれて対向するように、モールド樹脂102の外側に露出されている。

【0004】

このMOSFET101は、その内部構造の主要部分が、図14（a）および（b）に示すように構成されている。図14（a）は、MOSFET101を図13中X-X線に沿って切断した断面図である。また、図14（b）は、MOSFET101を図13中Y-Y線に沿って切断した断面図である。前記8本のリードフレーム103のうちの片側半分である4本のリードフレーム103は、図14（a）に示すように、モールド樹脂102の内側において4本1組に一体化されて形成されている。この4本1組のリードフレーム103は、図14（a）

および (b) の両図に示すように、モールド樹脂 102 の内側において、半導体素子 104 のソース電極（ソースパッド）104 s およびゲート電極（ゲートパッド）104 g が設けられている側とは反対側の端面に電氣的に接触するように設けられている。

【0005】

また、前記 8 本のリードフレーム 103 のうちの残りの片側半分である 4 本のリードフレーム 103 は、図 14 (a) に示すように、モールド樹脂 102 の内側において、ソース電極 104 s およびゲート電極 104 g を含めた半導体素子 104、ならびに前記 4 本 1 組のリードフレーム 103 の両方から、それらに直接接触しないように設けられている。さらに、これら残りの 4 本のリードフレーム 103 は、それらのうちの 3 本が 1 組に一体化されて形成されているとともに、残りの 1 本のリードフレーム 103 は、それら 3 本 1 組のリードフレーム 103 から電氣的に切り離されて形成されている。

【0006】

以上説明したような内部構造からなる MOSFET 101 は、一般に、その半導体素子 104 のソース電極 104 s と前記 3 本 1 組のリードフレーム 103 とが、アルミニウム (Al) あるいは金 (Au) などの導電性を有する金属から形成された複数本のワイヤ 105 によって電氣的に接続されている。同様に、半導体素子 104 のゲート電極 104 g と前記 1 本のリードフレーム 103 とは、1 本の B' g ワイヤ（ボンディングワイヤ）106 によって電氣的に接続されている。

【0007】

最近の MOSFET 101 は、その動作速度の高速化や、あるいは処理能力の向上が図られる一方で、その作動中の消費電力の省電力化、すなわちその作動電圧の低圧化が図られている。つまり、最近の MOSFET 101 は、より低い電圧でより高い性能を発揮できるように設計されつつある。このような一見相反する 2 つの課題を克服するために、最近の MOSFET 101 は、これが有する半導体素子 104 の回路の微細化が図られるとともに、半導体素子 104 を含めた装置全体の内部抵抗値（オン抵抗値、R_{on} 値）が低く設定される傾向にある。こ

のような傾向に追従するために、例えばMOSFET 101の内部抵抗値を下げるにあたり、前記各ワイヤ105, 106自体が有する抵抗値が、半導体素子104を含めたMOSFET 101全体の内部抵抗値に及ぼす影響が、もはや無視し得ない大きさになっている。つまり、MOSFET 101全体の内部抵抗値に占める各ワイヤ105, 106の抵抗値の割合が、もはや無視し得ない大きさになっている。したがって、MOSFET 101の内部抵抗値を下げるためには、各ワイヤ105, 106の抵抗値を下げる必要が生じている。

【0008】

各ワイヤ105, 106の抵抗値を下げる方法として、例えば各ワイヤ105, 106を形成する金属材料を、アルミニウムや金よりも抵抗値の低い金属に変更する方法がある。しかし、この方法では、使用できる金属の種類が限られているとともに、各ワイヤ105, 106の抵抗値の大幅な低下を望むことは略不可能である。つまり、各ワイヤ105, 106を形成する金属をより抵抗値の低い金属に変更するだけでは、MOSFET 101の性能を向上させることは困難である。ひいては、高性能型のMOSFETである、いわゆるパワーMOSFETの性能を実用上問題の無い水準に維持するとともに、その性能をさらに向上させることは極めて困難である。

【0009】

また、各ワイヤ105, 106の抵抗値を下げる他の方法として、例えば各ワイヤ105, 106の1本ごとの断面積を大きくして、大径化する方法が考えられる。しかし、この方法は、各ワイヤ105, 106の1本ごとの径の太さと、それらの取り付け本数との兼ね合いなどの空間的制約や、各ワイヤ105, 106間における電氣的な短絡などのおそれ、あるいは複数本の各ワイヤ105, 106を、限られた小さい面積のソース電極104s、ゲート電極104g、およびリードフレーム103へ取り付ける際の取り付け強度など、様々な点で技術的な困難が伴う。

【0010】

このような技術的困難を回避するとともに、MOSFET 101の低抵抗化を図るために、例えばゲート電極104gよりも多くの電流（主電流）が流れるソ

ース電極 104s とリードフレーム 103 とを、図 15 (a) および (b) に示すように、前記複数本のワイヤ 105 の替わりに、導電性を有する金属によって略平板形状（略帯形状）に形成された電流経路部材（以下、ストラップと称する。）107 によって電氣的に接続した MOSFET 111 が開発されている。この MOSFET 111 においては、ソース電極 104s とリードフレーム 103 とが、略平板形状に形成されたストラップ 107 によって接続されているので、ソース電極 104s とリードフレーム 103 とが複数本のワイヤ 105 によって接続されている MOSFET 101 に比べて、ソース電極 104s とリードフレーム 103 との間の電流経路の断面積が大きくなっている。すなわち、この MOSFET 111 は、ソース電極 104s とリードフレーム 103 との間の抵抗値が大幅に下げられている。したがって、この MOSFET 111 は、その装置全体の抵抗値が大幅に下げられている。

【0011】

ストラップ 107 は、一般に、前述した各ワイヤ 105, 106 と同様に、例えば硬化性導電材料や、あるいは半田などの導電性を有する接合材によってソース電極 104s およびリードフレーム 103 に接続（接合）されている。また、このような構造からなる MOSFET 111 として、例えば特開 2000-11445 号公報に開示されている発明の提案がある。

【0012】

【発明が解決しようとする課題】

一般に、半導体装置の内部に使用される硬化性導電材料や、半田などの接合材は、温度変化に弱い。一般的な半導体装置の信頼性評価試験の一つとして、MOSFET 111 を温度差が激しく、かつ急激に温度変化する環境下に配置する、いわゆる温度サイクル試験を複数回繰り返し行う。すると、硬化性導電材料や半田の内部、あるいはソース電極 104s、リードフレーム 103、およびストラップ 107 のそれぞれと硬化性導電材料や半田との界面付近において、脆化やひび割れ（クラック）などが発生する。したがって、硬化性導電材料や半田などで接合されたストラップ 107 を有する MOSFET 111 は、温度変化に対する耐久性が低いことが分かる。

【0013】

また、略平板形状に形成されているとともに、硬化性導電材料や半田などでソース電極104sに接合されたストラップ107は、微視的レベルにおいてその電氣的接合状態が不安定である。具体的には、ストラップ107は、図15(b)中Zで示す部分、すなわちソース電極104sの外側において、半導体素子(半導体チップ)104の周縁部に接触する、いわゆるチップエッジタッチを起こし易い。これにより、ストラップ107と半導体素子104の周縁部との間で電氣的な短絡(ショート)が発生し易い。したがって、このような内部構造を有するMOSFET111は、その電氣的性能が不安定であった。具体的には、このMOSFET111は、サンプルとして製作された全体数のうちの18.5%がショート不良(初期ショート不良)を起こしていた。

【0014】

よって、本発明の目的は、省電力で作動可能であるとともに、電氣的性能が安定しており、かつ耐久性が高い半導体装置、およびそのような性能を有する半導体装置の製造方法を提供することにある。

【0015】**【課題を解決するための手段】**

前記課題を解決するために、本発明に係る半導体装置は、複数個の電極を有する半導体素子と、複数個のリードフレームと、前記各電極のうちの少なくとも1個の該電極と、前記各リードフレームのうちの少なくとも1個の該リードフレームとを電氣的に接続する、略板形状に形成された電流経路部材と、前記各リードフレーム、前記半導体素子、および前記電流経路部材をパッケージングするハウジングと、を具備し、前記電流経路部材は、該電流経路部材の前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間する形状に形成されているとともに、前記電極および前記リードフレームのそれぞれに直接接触するように設けられることを特徴とするものである。

【0016】

この半導体装置においては、半導体素子が有する複数個の電極のうちの少なく

とも 1 個の電極と、複数個のリードフレームのうちの少なくとも 1 個のリードフレームとを電氣的に接続する電流経路部材が、略板形状に形成されているとともに、その電極に接続される部分とそのリードフレームに接続される部分との間の中間部が、半導体素子から離間された形状に形成されており、かつ、電極およびリードフレームのそれぞれに直接接触するように設けられる。これにより、半導体素子の電極とリードフレームとの間の電流の流路断面積が拡大されるので、電極とリードフレームとの間における抵抗を下げることができる。また、チップエッジタッチなどによる電氣的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれを低減できる。

【 0 0 1 7 】

また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【 0 0 1 8 】

前記電流経路部材は、超音波接合によって前記電極および前記リードフレームに直接接触するように接続されている。

【 0 0 1 9 】

前記電極と前記リードフレームとは、複数個の前記電流経路部材によって接続されている。

【 0 0 2 0 】

前記電流経路部材は、その前記中間部が、所定の曲率を有する略アーチ形状に形成されている。

【 0 0 2 1 】

前記電流経路部材は、少なくともその前記中間部に、これを厚み方向に沿って貫通するように、前記ハウジングの成型材料である封止樹脂が通過する穴が設けられている。

【 0 0 2 2 】

前記電流経路部材は、アルミニウム系の材料によって形成されている。

【 0 0 2 3 】

前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極と、前記リードフレームとに接続されている。

【0024】

前記電流経路部材は、前記半導体素子が有する電極のうちの少なくともソース電極およびゲート電極と、前記リードフレームとに接続されている。

【0025】

本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、電流経路部材の形状、接続状態、形成材料、および接続箇所などを、より適正な状態に設定できる。これにより、半導体装置の電極とリードフレームとの間における抵抗をより下げることができるとともに、電氣的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれをより低減できる。

【0026】

また、前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体素子が有する複数個の電極のうちの少なくとも1個の該電極、および複数個のリードフレームのうちの少なくとも1個の該リードフレームのそれぞれに、略板形状に形成されているとともに、前記電極に接続される部分と前記リードフレームに接続される部分との間の中間部が、前記半導体素子から離間するような形状に形成された電流経路部材を、直接接触させるように設けることにより、前記電極および前記リードフレームを電氣的に接続することを特徴とするものである。

【0027】

この半導体装置の製造方法においては、略板形状に形成されいるとともに、電極に接続される部分とリードフレームに接続される部分との間の中間部が、半導体素子から離間するような形状に形成された電流経路部材を、半導体素子が有する複数個の電極のうちの少なくとも1個の電極、および複数個のリードフレームのうちの少なくとも1個のリードフレームのそれぞれに、直接接触させるように設けることにより、電極およびリードフレームを電氣的に接続する。これにより

、半導体素子の電極とリードフレームとの間の電流の流路断面積を拡大して、電極とリードフレームとの間における抵抗を下げることができる。また、チップエッジタッチなどによる電氣的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれを低減できる。

【0028】

また、本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以下に述べるような設定としても構わない。

【0029】

前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームに直接接触するように接続する。

【0030】

前記電流経路部材を、超音波接合によって、前記電極および前記リードフレームのそれぞれに同時に直接接触するように接続する。

【0031】

本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、電流経路部材の形状、接続状態、形成材料、および接続箇所などを、より適正な状態に設定できる。これにより、半導体装置の電極とリードフレームとの間における抵抗をより下げることができるとともに、電氣的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれをより低減できる。

【0032】

【発明の実施の形態】

（第1の実施の形態）

以下、本発明の第1の実施の形態に係る半導体装置、および本発明の第1の実施の形態に係る半導体装置の製造方法を、図1～図7に基づいて説明する。

【0033】

まず、この第1実施形態の半導体装置1について、図1～図5を参照しつつ説

明する。

【0034】

本実施形態の半導体装置 1 は、複数個の電極 4 を有する半導体素子 5 と、複数個のリードフレーム 3 と、各電極 4 のうちの少なくとも 1 個の電極 4 と、各リードフレーム 3 のうちの少なくとも 1 個のリードフレーム 3 とを電氣的に接続する、略板形状に形成された電流経路部材 6 と、各リードフレーム 3、半導体素子 5、および電流経路部材 6 をパッケージングするハウジング 2 と、を具備し、電流経路部材 6 は、その電極 4 に接続される部分 6 a とリードフレーム 3 に接続される部分 6 b との間の中間部 6 c が、半導体素子 5 から離間する形状に形成されているとともに、電極 4 およびリードフレーム 3 のそれぞれに直接接触するように設けられることを前提とし、以下に述べる特徴を備えるものとする。

【0035】

電流経路部材 6 は、半導体装置 1 の配線としてのリードフレーム 3、および電極 4 のそれぞれに、超音波接合によって直接接触するように接続されている。電流経路部材 6 は、アルミニウム系の材料によって形成されている。電流経路部材 6 は、半導体素子 3 が有する電極 4 のうちの少なくともソース電極 4 s と、リードフレーム 3 とに接続されている。このように、電流経路部材 6 は、半導体装置 1 の配線の一部を構成している。

【0036】

以上述べたような特徴を備えた本実施形態の半導体装置 1 として、以下の説明において、図 1 に示すように、一般的な SOP-8 パッケージの MOSFET (パワー MOSFET) 1 を用いて説明する。

【0037】

MOSFET 1 は、図 1 に示すように、その全体の殆どを例えばエポキシ系樹脂などからなる封止樹脂 (モールド樹脂) によって固められて形成されたハウジング 2 によって覆われている。また、この MOSFET 1 は、SOP-8 パッケージという名称の通り、8 本の端子を有するリードフレーム 3 を備えている。各リードフレーム 3 の端子は、ハウジング 2 の両側部において 4 本ずつに分かれて対向するように、ハウジング 2 の外側に露出されている。ただし、図 1 において

は、リードフレーム 3 が有する 8 本の端子のうち、5 本のみを図示し、残りの 3 本はそれらの図示を省略する。

【0038】

この MOSFET 1 は、その内部構造の主要部分が、図 2 (a) および (b) に示すように構成されている。図 2 (a) は、MOSFET 1 を図 1 中 A-A 線に沿って切断した断面図である。また、図 2 (b) は、MOSFET 1 を図 1 中 B-B 線に沿って切断した断面図である。

【0039】

前記 8 本のリードフレーム 3 の端子うちの片側半分である 4 本の端子は、図 2 (a) に示すように、ハウジング 2 の内側において 4 本 1 組に一体化されて形成されている。この 4 本 1 組のリードフレーム 3 の端子は、図 2 (a) および (b) の両図に示すように、ハウジング 2 の内側において、半導体素子 (半導体チップ) 5 のソース電極 (ソースパット) 4 s およびゲート電極 (ゲートパット) 4 g が設けられている側とは反対側の端面において、図示しないドレイン電極 (ドレインパット) に電氣的に接触するように設けられている。つまり、これら 4 本 1 組のリードフレーム 3 の端子は、リードフレーム 3 のドレイン側端子 3 d として形成されている。これら各ドレイン側端子 3 d は、4 本 1 組に一体化されて略平板形状に形成されているドレイン側ポスト部 7 d において、ドレイン電極 4 d と面接触するように配置されている。半導体素子 5 とリードフレーム 3 のドレイン側端子 3 d とは、それぞれのドレイン電極とドレイン側ポスト部 7 d とが、図示しない硬化性導電材料や、あるいは半田などの導電性を有する接合材によって電氣的に接続されることにより、互いに電氣的に接触した状態で固定される。

【0040】

また、前記 8 本のリードフレーム 3 の端子のうちの残りの片側半分である、4 本のリードフレーム 3 の端子は、図 2 (a) に示すように、ハウジング 2 の内側において、ソース電極 4 s およびゲート電極 4 g を含めた半導体素子 5 に直接接触しないように設けられている。それとともに、それら残りの 4 本のリードフレーム 3 の端子は、4 本のドレイン側端子 3 d およびそれらのドレイン側ポスト部 7 d を含めたリードフレーム 3 両方から、電氣的に切り離されて設けられている。

。さらに、これら残りの 4 本のリードフレーム 3 の端子は、それらのうちの 3 本が 1 組に一体化されて形成されているとともに、残りの 1 本のリードフレーム 3 の端子は、それら 3 本 1 組のリードフレーム 3 の端子から電氣的に切り離されて形成されている。

【0 0 4 1】

3 本 1 組のリードフレーム 3 の端子は、後述する電流経路部材 6 によって、半導体素子 5 のソース電極 4 s に電氣的に接続される。つまり、これら 3 本 1 組のリードフレーム 3 の端子は、リードフレーム 3 のソース側端子 3 s として形成されている。これら各ソース側端子 3 s は、3 本 1 組に一体化されて略平板形状に形成されているソース側ポスト部 7 s において、電流経路部材 6 を介して、ソース電極 4 s と電氣的に接続されるように配置されている。また、残りの 1 本のリードフレーム 3 の端子は、1 本の B' g ワイヤ（ボンディングワイヤ）8 によって、半導体素子 5 のゲート電極 4 g に電氣的に接続される。つまり、この 1 本のリードフレーム 3 の端子は、リードフレーム 3 のゲート側端子 3 g として形成されている。このゲート側端子 3 g は、略平板形状に形成されているゲート側ポスト部 7 g において、B' g ワイヤ 8 を介して、ゲート電極 4 g と電氣的に接続されるように配置されている。

【0 0 4 2】

すなわち、本実施形態の半導体装置としての MOSFET 1 は、実質的に 3 個のリードフレーム 3 を具備しているとともに、この MOSFET 1 が具備する半導体装置 5 が 3 個の電極 4 を有している。また、この MOSFET 1 は、3 個のリードフレーム 3 のうちの 1 個である各ソース側端子 3 s と、3 個の電極 4 のうちの 1 個であるソース電極 4 s とが、電流経路部材 6 を介して選択的に、かつ電氣的に接続される。

【0 0 4 3】

電流経路部材 6 は、本実施形態においては、図 2（a）および（b）の両図に示すように、そのソース電極 4 s に接続されている部分である電極側接続部分 6 a が、ソース電極 4 s に面接触するように形成されている。それとともに、電流経路部材 6 は、そのリードフレーム 3 の各ソース側端子 3 s のソース側ポスト部

7 s に接続されている部分であるリードフレーム側接続部分 6 b が、ソース側ポスト部 7 s に面接触するように形成されている。このような形状に形成されている本実施形態の電流経路部材 6 を、以下の説明においては接続ストラップ 6 と称する。この接続ストラップ 6 は、その電極側接続部分 6 a がソース電極 4 s だけで半導体素子 5 に面接触するように、その電極側接続部分 6 a とリードフレーム側接続部分 6 b との間の中間部（ビーム部） 6 c が、半導体素子 5 から遠ざかるような、離間された形状に形成されている。これにより、この MOSFET 1 は、チップエッジタッチによる電氣的短絡を起こすおそれが殆どない。

【0044】

また、本実施形態の接続ストラップ 6 は、ソース電極 4 s およびリードフレーム 3 の各ソース側端子 3 s のソース側ポスト部 7 s の両方に、それぞれ直接接触するように、超音波接合によって同時に接続されている。

【0045】

以上説明した形状からなる接続ストラップ 6 を有する MOSFET 1 は、半導体素子 5 のソース電極 4 s とリードフレーム 3 の各ソース側端子 3 s のソース側ポスト部 7 s との間を流れる電流の流路断面積が、従来技術の MOSFET 101 が有する複数本のボンディングワイヤ 105 を流れる電流の流路断面積の合計に比べて大幅に拡大されている。これにより、MOSFET 1 は、そのソース電極 4 s とリードフレーム 3 との間における抵抗値が、従来技術の MOSFET 101 に比べて大幅に下げられている。

【0046】

具体的には、本実施形態の MOSFET 1 は、その半導体素子（半導体チップ） 5 のチップサイズが、3.79(mm)×2.65(mm)に形成されている。また、接続ストラップ 6 は、その幅が2.0(mm)の大きさに、かつその厚さが0.1(mm)の大きさにそれぞれ形成されている。さらに、本実施形態の接続ストラップ 6 は、導電性金属であるアルミニウム系の材料として、アルミニウム（Al）によって形成されており、Al ストラップ 6 と称する。これに対して、従来技術の MOSFET 101 は、その図示しない半導体素子 5 のチップサイズが、3.79(mm)×2.65(mm)と本実施形態の MOSFET 1 と同じ大きさであるが、その図示しないソース電極

とリードフレームとが直径60(μm)の金(Au)製の10本のBondingワイヤ(Bondingワイヤ)105によって電氣的に接続(Au Bonding)されている。

【0047】

本発明の発明者達が行った抵抗値の測定実験によれば、前述したような構造からなる従来技術のMOSFET101は、その所定の電圧値に対するオン抵抗値(内部抵抗値、 R_{on} 値)の平均値が、図3のグラフ中に破線で示されているような傾向を示す。これに対して、同じく前述した構造からなる本実施形態のMOSFET1は、その所定の電圧値に対するオン抵抗値の平均値が、図3のグラフ中に実線で示されているような傾向を示す。また、本実施形態のMOSFET1、および従来技術のMOSFET101は、それらの図示しないシリコン基板(ペレット)の部分における、所定の電圧値に対する抵抗値の平均値が、図3のグラフ中に一点鎖線で示されているような傾向を示す。図3のグラフに示されているように、従来技術のMOSFET101、本実施形態のMOSFET1、ならびに本実施形態のMOSFET1および従来技術のMOSFET101のそれぞれのシリコン基板の各抵抗値は、それらの絶対値が異なるだけで、それらに印加される電圧値の大きさに対して、略同じ傾きで変化する。このように、前述した従来技術のMOSFET101、本実施形態のMOSFET1、ならびに本実施形態のMOSFET1および従来技術のMOSFET101の各シリコン基板の、それぞれの所定の電圧値に対する抵抗値は、図3のグラフにおいて、前記絶対値の差だけ互いに平行移動させた結果として示されるので、それらの間隔を比較することにより、それぞれの抵抗値の大小が分かる。

【0048】

従来技術のMOSFET101全体のオン抵抗値と、本実施形態のMOSFET1全体のオン抵抗値との差は、図3のグラフにおいて一点鎖線矢印で示されている範囲Jの大きさで略一定している。また、本実施形態のMOSFET1全体のオン抵抗値と、本実施形態のMOSFET1のシリコン基板の抵抗値との差は、図3のグラフにおいて実線矢印で示されている範囲Kの大きさで略一定している。これらから、従来技術のMOSFET101の10本のBondingワイヤ

105の配線抵抗値の合計の大きさと、本実施形態のMOSFET1が具備している接続ストラップ（A1ストラップ）6の配線抵抗値の大きさととの差は、図3のグラフにおいて破線矢印で示されている範囲Lの大きさとで略一定していることが分かる。

【0049】

以上説明したように、本発明の発明者達が行った抵抗値の測定実験結果を示す図3のグラフによれば、本実施形態のMOSFET1の接続ストラップ（A1ストラップ）6における配線抵抗値は、これに印加される電圧値の大きさに拘らず、従来技術のMOSFET101の10本のボンディングワイヤ105の配線抵抗値の合計の大きさに比較して、約80%も大幅に低減されていることが分かる。すなわち、本実施形態のMOSFET1においては、A1ストラップ6の配線抵抗値がMOSFET1全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0050】

また、本実施形態のMOSFET1が備える接続ストラップ（A1ストラップ）6の厚さおよび幅の大きさに対する抵抗値の依存性は、図4（a）および（b）の両グラフ中において、それぞれ実線で表されるような傾向を示す。それらのような傾向を示す接続ストラップ6によれば、この接続ストラップ6が形成される際の厚さおよび幅の加工寸法の誤差は、前述した寸法からなる半導体素子5を具備しているMOSFET1の電氣的性能を実用上殆ど妨げるおそれがない。すなわち、本実施形態の接続ストラップ6は、MOSFET1の動作速度を妨げることなく、その電氣的性能を実用上高い水準に維持できる。

【0051】

さらに、本実施形態の接続ストラップ6は、半導体素子5のソース電極4s、およびリードフレーム3の各ソース側端子3sのソース側ポスト部7sのそれぞれに、図示しない硬化性導電材料や、あるいは半田などを介することなく、超音波接合によって直接接触するように接続（固定）されている。これにより、MOSFET1は、硬化性導電材料や半田の内部、あるいは半導体素子5のソース電極4s、リードフレーム3の各ソース側端子3sのソース側ポスト部7s、および接続ストラップ6のそれぞれと硬化性導電材料や半田との界面付近において、

温度変化などの外的環境の変化によって脆化やひび割れ（クラック）などが発生するおそれが殆ど無い。したがって、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 の各ソース側端子 3 s のソース側ポスト部 7 s のそれぞれに、超音波接合によって直接接触するように接続された接続ストラップ 6 を備える MOSFET 1 は、温度変化などの外的環境の変化に対する耐久性、すなわちその電氣的動作性能の信頼性が高い。

【0052】

具体的には、前述した接続ストラップ（A1 ストラップ）6 を備える本発明に係る MOSFET 1（提案デザイン）と、前述したようにソース電極とリードフレームとが直径 60 (μm) の金（Au）製の 10 本の B' g ワイヤによって Au ボンディングされている従来技術に係る MOSFET（従来品 A）101 と、本提案デザインの MOSFET 1 と若干異なり、図示しない銅（Cu）製の接続ストラップを、半田を用いて図示しない半導体素子のソース電極に接合した従来技術に係る MOSFET（従来品 B）とを、それぞれ $-40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ まで複数回、具体的には連続 100 回～400 回まで回数を 100 回ずつ増やしつつ、大幅かつ急激に温度変化させる温度サイクルテストにかけて、それぞれの温度変化に対する耐久性、すなわちそれらの電氣的動作性能の信頼性を評価する試験を行った。すると、図 5 のグラフに示すような結果を得ることができた。

【0053】

本提案デザインの MOSFET 1 は、図 5 のグラフ中白丸および実線で示されるように、その試験回数に拘らず、前述したように脆化やひび割れ（クラック）などが発生する不良品の発生率は 0 % であった。同様に、Au ボンディングを備える従来品 A としての従来技術に係る MOSFET 101 も、図 5 のグラフ中菱形および実線で示されるように、その試験回数に拘らず、前述したように脆化やひび割れ（クラック）などが発生する不良品の発生率が 0 % であった。これらに対して、半田接合された Cu ストラップを備える従来品 B としての従来技術に係る MOSFET は、図 5 のグラフ中四角および実線で示されるように、その試験回数が増える毎に、その不良品の発生率が上昇していった。

【0054】

以上説明したように、本発明に係る本実施形態のMOSFET1は、Auボンディングを備える従来品Aとしての従来技術に係るMOSFET101と比較すると、そのA1ストラップ6部分における配線抵抗値が約80%も大幅に低減されており、MOSFET1全体のオン抵抗値に与える影響が極めて低くなっている。それとともに、MOSFET1は、急激な温度変化に拘らず、このような外敵環境の変化に対する耐久性、すなわちその電氣的動作性能の信頼性が全く損なわれることなく安定しており、A1ストラップ6と同じような形状で、かつ半田接合されたCuストラップを備える従来品Bとしての従来技術に係るMOSFETと比較すると、その温度変化に対する耐久性、すなわち電氣的動作性能の信頼性が極めてよい。

【0055】

また、本実施形態のMOSFET1は、A1ストラップ6が1回の超音波接合によってソース電極4sおよびソース側ポスト部7sに同時に接合されているので、これらの接合部分における接合強度を略同等の強さに容易に設定できる。これにより、これらの接合部分に温度変化などの外的環境の変化や、金属疲労などが生じて、それらの付加を均等に分散できる。したがって、本実施形態のMOSFET1によれば、A1ストラップ6のソース電極4sおよびソース側ポスト部7sへの接合部分における耐久性を向上できる。

【0056】

したがって、本発明に係る本実施形態のMOSFET1は、省電力で高速に動作可能であるとともに、電氣的動作性能を安定して発揮することができ、かつ耐久性が高く長寿命である。

【0057】

次に、以上説明したMOSFET1を製造する際に適用する、本発明の第1の実施の形態に係る半導体装置の製造方法について、図6および図7を参照しつつ説明する。

【0058】

本実施形態の半導体装置の製造方法は、半導体素子5が有する複数個の電極4のうちの少なくとも1個の電極4、および複数個のリードフレーム3のうちの少

なくとも 1 個のリードフレーム 3 のそれぞれに、略板形状に形成されているとともに、電極 4 に接続される部分 6 a とリードフレーム 3 に接続される部分 6 b との間の中間部 6 c が、半導体素子 5 から離間するような形状に形成された電流経路部材 6 を直接接触させるように設けることにより、電極 4 およびリードフレーム 3 を電氣的に接続することを前提とし、以下に述べる特徴を備えるものとする。

【0059】

電流経路部材 6 を、超音波接合によって、電極 4 およびリードフレーム 3 のそれぞれに同時に直接接触するように接続する。電流経路部材 6 を、アルミニウム系の材料によって形成する。

【0060】

先ず、図 6 (a) ~ (e) に示すように、所望する大きさおよび形状の接続ストラップ 6 を製造する。具体的には、予め薄肉の板形状に圧延された、接続ストラップ 6 の材料となるアルミニウム製の板材 9 を、例えば図 6 (a) に示すような切断装置 10 によって、所定の大きさ（長さ）に切り出す。切断装置 10 は、アルミニウム製の板材 9 を切断するロータリーカッター 11 と、アルミニウム製の板材 9 を搬送するベルトコンベア 12 などから構成されている。ベルトコンベア 12 は、図 6 (a) 中破線矢印で示す向きに回転しており、アルミニウム製の板材 9 は、このベルトコンベア 12 によって、図 6 (a) 中白抜き矢印で示す向きに搬送される。ロータリーカッター 11 は、ベルトコンベア 12 の終端部に近接して配設されており、図 6 (a) 中実線矢印で示す向きに回転している。ロータリーカッター 11 は、回転する 2 枚の刃部 11 a を有しており、これらの刃部 11 a によってベルトコンベア 12 の終端部まで搬送されてきたアルミニウム製の板材 9 を、図 6 (b) に示すように、所定の大きさに切り出す（カットする）。

【0061】

所定の大きさに切り出されたアルミニウム製の板材 9 は、図示しない成型装置によって、その側面視が図 6 (c) に示すように、その中間部 6 c が電極側接続部分 6 a およびリードフレーム側接続部分 6 b に対して凸形状に突出した所定の

形状に成型（フォーミング）される。すなわち、所定の大きさに切り出されたアルミニウム製の板材 9 は、成型装置によって前述した MOSFET 1 に用いられる所定の形状の接続ストラップ 6 として成型される。なお、成型装置が備える成型用の型を交換することにより、所定の大きさに切り出されたアルミニウム製の板材 9 を、図 6（d）や、あるいは図 6（e）に示すように、様々な形状の接続ストラップ 13, 14 に成型できる。

【0062】

次に、以上説明したように所定の形状に成型された接続ストラップ 6 を、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 の各ソース側端子 3 s のソース側ポスト部 7 s のそれぞれに接続する。接続ストラップ 6 を、例えば図 7（a）に示すような接合治具としての接合ホーン 15 によって支持する。接合ホーン 15 の内部には、複数本の吸引孔 16 が設けられており、接続ストラップ 6 を図 7（a）中実線矢印で示す向きに真空吸引して支持できる。この接合ホーン 15 の接続ストラップ 6 と接触する側の端面には、滑り止めの凹凸が複数個設けられている。

【0063】

MOSFET 1 のリードフレーム 3 のドレイン側端子 3 d、ソース側端子 3 s、およびゲート側端子 3 g（図 7（a）～（c）において図示せず。）は、それぞれ図 7（b）に示すように、接合台 17 上の所定の位置に予め配置されている。また、半導体素子 5 は、そのソース電極 4 s が上を向かされた姿勢で、リードフレーム 3 のドレイン側端子 3 d のドレイン側ポスト部 7 d に硬化性導電材料、または半田を用いて予め接合されている（マウントされている）。このような配置状態の半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のそれぞれに、接合ホーン 15 によって支持された接続ストラップ 6 を接合する。接合ホーン 15 には、図示しない超音波発生装置が接続されている。この超音波発生装置が発生可能な超音波の最高周波数は、約 60kHz 程度であるが、通常の使用においては、周波数が約 38kHz の超音波を発生する。このような超音波を発生させることにより、接合ホーン 15 は、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側

ポスト部 7 s のそれぞれに、接続ストラップ 6 を超音波接合することができる。

【0064】

接続ストラップ 6 を支持した状態のまま、接合ホーン 15 を半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のそれぞれに、それらの上方から接近させる。接続ストラップ 6 の位置が適正な接合位置にあることを確認した後、接続ストラップ 6 を接合ホーン 15 で支持した状態のまま、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のそれぞれに、それらの上方から同時に直接接触させる。この接触状態を保持しつつ、図 7 (b) に示すように、接合ホーン 15 の超音波発生装置を作動させて、接続ストラップ 6 の電極側接続部分 6 a を半導体素子 5 のソース電極 4 s に、また接続ストラップ 6 のリードフレーム側接続部分 6 b をリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s に、それぞれ直接かつ同時に超音波接合する。

【0065】

図 7 (c) に示すように、接続ストラップ 6 の超音波接合が終了した後、図示は省略するが、半導体素子 5 のゲート電極 4 g とリードフレーム 3 のゲート側端子 3 s のゲート側ポスト部 7 g とを、アルミニウムや、あるいは金などの導電性を有する金属から形成されている B' g ワイヤ 8 によって電氣的に接続する。この B' g ワイヤ 8 の接続は、接続ストラップ 6 と同様に超音波接合でもよいし、また硬化性導電材料や、あるいは半田などを用いてもよい。続けて、以上説明したように、接続ストラップ 6 によって電氣的に接続された半導体素子 5 およびリードフレーム 3 と、B' g ワイヤ 8 などとを、それらの周りから覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂（モールド樹脂）によってパッケージングしてハウジング 2 内に包み込む。ハウジング 2 を所定の形状に成型した後、リードフレーム 3 を所定の長さにリードカットして、所望する半導体装置としての SOP-8 パッケージの MOSFET（パワー MOSFET）1 を得ることができる。

【0066】

以上説明した本発明の第 1 実施形態に係る半導体装置の製造方法によれば、硬

化性導電材料や半田などを用いることなく、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のそれぞれに、略板形状に形成された接続ストラップ 6 を直接接触させて、かつ同時に超音波接合できる。したがって、本実施形態の半導体装置の製造方法によれば、ソース電極 4 s とソース側ポスト部 7 s との間の抵抗値、ひいては装置全体のオン抵抗値（内部抵抗値）が低く、省電力で高速に作動可能であるとともに、温度変化などの外的環境の変化に対する耐久性、すなわちその電氣的動作性能の信頼性が高く、安定した電氣的動作性能を発揮できる MOSFET 1 を製造できる。

【0067】

また、本実施形態の半導体装置の製造方法によれば、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のそれぞれと、接続ストラップ 6 とを同時に超音波接合するので、その接合効率、ひいては MOSFET 1 全体の製造（生産）効率（インデックス）を向上できる。すなわち、MOSFET 1 の生産に掛かる時間を短縮できる。

【0068】

具体的には、本発明の発明者達が行った試験的生産実験によれば、本実施形態の半導体装置の製造方法によって前述した A1 ストラップ 6 を備える MOSFET 1 を 1 個（1 パッケージ）を製造するのに要した製造時間は、従来技術に係る半導体装置の製造方法によって前述した Au ボンディングを備える従来品 A としての従来技術に係る MOSFET 101 を 1 個（1 パッケージ）を製造するのに要した製造時間に比較すると、図示しない生産装置 1 台当たり約 4 割も短縮されていた。この実験結果から、本実施形態の半導体装置の製造方法によって、例えば A1 ストラップ 6 を備える MOSFET 1 を大量生産する場合には、その生産個数が多ければ多いほど、MOSFET 1 の 1 個当たりの製造コスト、すなわち MOSFET 1 の 1 個当たりの単価を下げることができ、半導体市場における価格競争を有利に展開できる。

【0069】

また、従来品 A としての従来技術に係る MOSFET 101 は、これを製造するに当たり、直径 60 (μm) の 10 本の B' g ワイヤからなる Au ボンディングを

、ソース電極 4 s およびソース側ポスト部 7 s にすべて適正な状態で接続しなければならない。これに対して、本実施形態の半導体装置の製造方法によって MOSFET 1 を製造する場合、幅が 2.0(mm)、かつ厚さが 0.1(mm) の大きさにそれぞれ形成されている A 1 ストラップ 6 を 1 回の超音波接合によってソース電極 4 s およびソース側ポスト部 7 s に同時に接合できる。したがって、本実施形態の半導体装置の製造方法によれば、MOSFET 1 を製造する際の A 1 ストラップ 6 の接続不良の発生率を、10 本の B' g ワイヤからなる Au ボンディングの接続不良の発生率に対して、単純に計算して 10 分の 1 に低減できる。すなわち、本実施形態の半導体装置の製造方法によれば、MOSFET 1 の歩留まりを、従来の半導体装置の製造方法に比較して大幅に向上できる。これにより、前述した MOSFET 1 の生産に掛かる時間を短縮できるのと同様に、MOSFET 1 全体の生産効率（インデックス）を大幅に向上できる。

【0070】

さらに、本実施形態の半導体装置の製造方法によれば、A 1 ストラップ 6 を 1 回の超音波接合によってソース電極 4 s およびソース側ポスト部 7 s に同時に接合するので、これらの接合部分における接合強度を略同等の強さに容易に設定できる。これにより、これらの接合部分に温度変化などの外的環境の変化や、金属疲労などが生じて、それらの付加を均等に分散できる。したがって、本実施形態の半導体装置の製造方法によれば、A 1 ストラップ 6 のソース電極 4 s およびソース側ポスト部 7 s への接合部分における耐久性を向上できる。

【0071】

（第 2 の実施の形態）

次に、本発明の第 2 の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0072】

この第 2 実施形態の半導体装置 2 1、および半導体装置の製造方法は、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s に接続される電流経路部材 2 2 の大きさおよび形状、ならびに個数が、前述した第 1 実施形態の電流経路部材 6 の大きさおよび形状、ならびに個

数と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0073】

本実施形態の半導体装置としてのMOSFET 21は、図8に示すように、これが具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、複数個、具体的には3個の長尺の略板（帯）形状に形成されたアルミニウム製の電流経路部材としての接続ストラップ（A1ストラップ）22によって電氣的に接続されている。

【0074】

また、本実施形態の半導体装置の製造方法は、MOSFET 21が具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとを、長尺の板形状に形成された3個のアルミニウム製の接続ストラップ22を用いて、超音波接合によって電氣的に接続する。この際、各接続ストラップ22の電極側接続部分22aを半導体素子5のソース電極4sに、また各接続ストラップ22のリードフレーム側接続部分22bをリードフレーム3のソース側端子3sのソース側ポスト部7sに、それぞれ直接かつ同時に超音波接合する。

【0075】

この第2実施形態の半導体装置21、および半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子5のソース電極4sとリードフレーム3のソース側端子3sのソース側ポスト部7sとが、長尺の略板形状に形成された複数個の電流経路部材22によって接続されている本実施形態の半導体装置21、およびこの半導体装置21を製造する半導体装置の製造方法は、以下の点で優れている。

【0076】

本実施形態の半導体装置としてのMOSFET 21においては、半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部

7 s とが、長尺の略板形状に形成された 3 個のアルミニウム製の接続ストラップ 2 2 によって電氣的に接続されているので、ソース電極 4 s とソース側ポスト部 7 s との間を流れる電流の流量を殆ど損なうこと無く、接続ストラップ 2 2 に使われるアルミニウムなどの材料の使用量を低減できる。したがって、本実施形態の MOSFET 2 1 は、その電氣的動作性能がより高く、かつ、より低コストである。また、本実施形態の半導体装置の製造方法によれば、電氣的動作性能がより高い MOSFET 2 1 をより低コストで生産できる。

【0077】

また、3 個のアルミニウム製の接続ストラップ 2 2 は、それらの大きさ、形状、個数、および配置位置などが、ソース電極 4 s とソース側ポスト部 7 s との間の導電性を大きく妨げない程度に設定されて形成される。具体的には、これら 3 個の接続ストラップ 2 2 は、それらの配線抵抗値の合計の大きさが、前述した第 1 実施形態の接続ストラップ 6 の配線抵抗値と略同等の大きさを保持できるように設定される。すなわち、実質的に第 1 実施形態の接続ストラップ 6 を 3 個に分割して形成された本実施形態の接続ストラップ 2 2 は、それらの配線抵抗値の合計の大きさが、第 1 実施形態の接続ストラップ 6 の配線抵抗値の大きさと同様に、従来品 A としての従来技術の Au ボンディングを有する MOSFET 1 0 1 の配線抵抗値と比較して、約 80 % も大幅に低減されている。つまり、本実施形態の MOSFET 2 1 においても、3 個の接続ストラップ 2 2 の配線抵抗値の合計の大きさが、MOSFET 2 1 全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0078】

(第 3 の実施の形態)

次に、本発明の第 3 の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0079】

この第 3 実施形態の半導体装置 3 1、および半導体装置の製造方法は、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s のみならず、半導体素子 5 のゲート電極 4 g、およびリードフレ

ーム 3 のゲート側端子 3 g のゲート側ポスト部 7 g も長尺の略板形状に形成されている 1 個の電流経路部材 3 2 によって電氣的に接続されている点が、前述した第 1 実施形態の半導体装置 1 と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第 1 実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0080】

本実施形態の半導体装置としての MOSFET 3 1 は、図 9 に示すように、これが具備する半導体素子 5 のゲート電極 4 g と、リードフレーム 3 のゲート側端子 3 g のゲート側ポスト部 7 g とが、長尺の略板形状に形成された 1 個のアルミニウム製の電流経路部材としての接続ストラップ (A 1 ストラップ) 3 2 によって電氣的に接続されている。

【0081】

また、本実施形態の半導体装置の製造方法は、MOSFET 3 1 が具備する半導体素子 5 のゲート電極 4 g と、リードフレーム 3 のゲート側端子 3 g のゲート側ポスト部 7 g とを、長尺の略板形状に形成された 1 個のアルミニウム製の接続ストラップ 3 2 を用いて、超音波接合によって電氣的に接続する。この際、接続ストラップ 3 2 の電極側接続部分 3 2 a を半導体素子 5 のゲート電極 4 g に、また接続ストラップ 3 2 のリードフレーム側接続部分 3 2 b をリードフレーム 3 のゲート側端子 3 g のソース側ポスト部 7 g に、それぞれ直接かつ同時に超音波接合する。

【0082】

この第 3 実施形態の半導体装置 3 1、および半導体装置の製造方法は、以上説明した点以外は、第 1 実施形態の半導体装置 1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子 5 のゲート電極 4 g とリードフレーム 3 のゲート側端子 3 g のゲート側ポスト部 7 g とが、長尺の略板形状に形成された 1 個の電流経路部材 3 2 によって接続されている本実施形態の半導体装置 3 1、およびこの半導体装置 3 1 を製造する半導体装置の製造方法は、以下の点で優れている。

【0083】

本実施形態の半導体装置としてのMOSFET 31においては、半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとが、略板形状に形成されたアルミニウム製の接続ストラップ6によって電氣的に接続されているのみならず、半導体素子5のゲート電極4gと、リードフレーム3のゲート側端子3gのゲート側ポスト部7gとが、長尺の略板形状に形成された1個のアルミニウム製の接続ストラップ32によって電氣的に接続されている。これにより、半導体素子5とリードフレーム3との間を流れる電流の流量を、より多く設定することができる。したがって、本実施形態の半導体装置としてのMOSFET 31は、その電氣的動作性能がさらに向上されている。また、本実施形態の半導体装置の製造方法によれば、電氣的動作性能がさらに高いMOSFET 31を生産できる。

【0084】

(第4の実施の形態)

次に、本発明の第4の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0085】

この第4実施形態の半導体装置41、および半導体装置の製造方法は、半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sに接続される電流経路部材42の形状が、前述した第1実施形態の電流経路部材6の形状と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0086】

本実施形態の半導体装置としてのMOSFET 41は、図10に示すように、これが具備する半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとに接続される、アルミニウム製の電流経路部材としての接続ストラップ(A1ストラップ)42の、電極側接続部分42aと

リードフレーム側接続部分 4 2 b との間の中間部（ビーム部） 4 2 c が、所定の曲率を有する略アーチ形状に形成されている。具体的には、接続ストラップ 4 2 は、図 1 0 中 C で示すその厚さが、約 0.1 (mm) の大きさに形成されている。それとともに、接続ストラップ 4 2 は、図 1 0 中 D で示すその中間部 4 2 c の間隔が、約 0.6 (mm) の大きさに形成されている。このような形状からなる接続ストラップ 4 2 において、その中間部 4 2 c は、その側面視において、滑らかな半円形状の円弧を描くような略アーチ形状に形成されている。

【 0 0 8 7 】

本実施形態の半導体装置の製造方法によれば、この接続ストラップ 4 2 は、図 6 (c) で示したように、前述した第 1 実施形態の接続ストラップ 6 を形成する工程において、接続ストラップを成型する型を交換するだけで、所定の長さに切り出されたアルミニウム製の板材 9 から容易に形成することができる。

【 0 0 8 8 】

また、本実施形態の半導体装置の製造方法によれば、この接続ストラップ 4 2 も、その電極側接続部分 4 2 a とリードフレーム側接続部分 4 2 b とが、超音波接合によって半導体素子 5 のソース電極 4 s、およびリードフレーム側接続部分 2 2 b をリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s に、それぞれ直接かつ同時に電氣的に接続される。

【 0 0 8 9 】

この第 4 実施形態の半導体装置 4 1、および半導体装置の製造方法は、以上説明した点以外は、第 1 実施形態の半導体装置 1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子 5 のソース電極 4 s とリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s とが、中間部（ビーム部） 4 2 c が所定の曲率を有する略アーチ形状に形成されている電流経路部材 4 2 によって接続されている本実施形態の半導体装置 4 1、およびこの半導体装置 4 1 を製造する半導体装置の製造方法は、以下の点で優れている。

【 0 0 9 0 】

本実施形態の半導体装置としての MOS F E T 4 1 においては、半導体素子 5

のソース電極 4 s と、リードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s とが、前述したような滑らかな半円形状の円弧を描くような略アーチ形状に形成されている中間部 4 2 c を有する電流経路部材としての接続ストラップ 4 2 によって接続されている。これにより、接続ストラップ 4 2 の電極側接続部分 4 2 a と半導体素子 5 のソース電極 4 s の周縁部との間において、チップエッジタッチなどによる電氣的短絡を起こすおそれがより低減されている。したがって、本実施形態の MOSFET 4 1 は、その電氣的動作性能がより安定している。また、本実施形態の半導体装置の製造方法によれば、電氣的動作性能がより安定している MOSFET 4 1 を生産できる。

【0091】

(第 5 の実施の形態)

次に、本発明の第 5 の実施の形態に係る半導体装置、および半導体装置の製造方法を説明する。

【0092】

この第 5 実施形態の半導体装置 5 1、および半導体装置の製造方法は、半導体素子 5 のソース電極 4 s、およびリードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s に接続される電流経路部材 5 2 の形状が、前述した第 1 実施形態の電流経路部材 6 の形状と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第 1 実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0093】

本実施形態の半導体装置としての MOSFET 5 1 は、図 11 (a) および (b) に示すように、これが具備する半導体素子 5 のソース電極 4 s と、リードフレーム 3 のソース側端子 3 s のソース側ポスト部 7 s とに接続される、アルミニウム製の電流経路部材としての接続ストラップ (A1 ストラップ) 5 2 の、電極側接続部分 5 2 a とリードフレーム側接続部分 5 2 b との間の中間部 (ビーム部) 5 2 c に、この接続ストラップ 5 2 をその厚み方向に沿って貫通して、固化する前の流動性を有している状態の前記ハウジング 2 の成型材料である封止樹脂を

通過させるための穴 53 が複数個、本実施形態においては 8 個設けられている。
これら 8 個の穴 53 は、本実施形態においては四角形状に形成されている。

【0094】

本実施形態の半導体装置の製造方法によれば、この接続ストラップ 52 は、図 6 (c) で示したように、前述した第 1 実施形態の接続ストラップ 6 を形成する工程において、接続ストラップを成型する型を交換するだけで、所定の長さに切り出されたアルミニウム製の板材 9 から容易に形成することができる。

【0095】

また、本実施形態の半導体装置の製造方法によれば、この接続ストラップ 52 も、その電極側接続部分 52a とリードフレーム側接続部分 52b とが、超音波接合によって半導体素子 5 のソース電極 4s、およびリードフレーム側接続部分 22b をリードフレーム 3 のソース側端子 3s のソース側ポスト部 7s に、それぞれ直接かつ同時に電氣的に接続される。

【0096】

この第 4 実施形態の半導体装置 41、および半導体装置の製造方法は、以上説明した点以外は、第 1 実施形態の半導体装置 1、および半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、半導体素子 5 のソース電極 4s とリードフレーム 3 のソース側端子 3s のソース側ポスト部 7s とが、流動性を有している状態の封止樹脂を通過させるための 8 個の四角形状に形成された穴 53 が、中間部 52c をその厚み方向に沿って貫通して設けられている電流経路部材 52 によって接続されている本実施形態の半導体装置 51、およびこの半導体装置 51 を製造する半導体装置の製造方法は、以下の点で優れている。

【0097】

前述した第 1 実施形態の半導体装置の製造方法においては、接続ストラップ 6 によって電氣的に接続された半導体素子 5 およびリードフレーム 3 と、B' g ワイヤ 8 などとを、それらの周りに覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂（モールド樹脂）によってパッケージングしてハウジング 2 内に包み込むことにより、所望する半導体装置としての SOP-8 パッケージの M

OSFET (パワーMOSFET) 1 を製造した。ところが、第 1 実施形態の接続ストラップ 6 や、この第 5 実施形態の接続ストラップ 52 は、アルミニウム製であり、一般に封止樹脂 (モールド樹脂) として用いられているエポキシ系樹脂などと接着 (密着) 性が悪い。すなわち、アルミニウム製の接続ストラップ 6 および接続ストラップ 52 は、エポキシ系樹脂ののりが悪い。

【0098】

したがって、略板形状に形成されている接続ストラップ 6 を、エポキシ系樹脂によってその周りから包み込むようにパッケージングすると、接続ストラップ 6 とハウジング 2 との間に図示しない隙間が生じるおそれがある。ひいては、ハウジング 2 に、その外部と内部とを連通するような、同じく図示しない亀裂が生じるおそれがある。接続ストラップ 6 とハウジング 2 との間に隙間が生じたり、あるいはハウジング 2 に亀裂が生じたりすると、これらの隙間や亀裂を伝わって、ハウジング 2 の外部の水分などが、ハウジング 2 の内部に浸入するおそれがある。ハウジング 2 の内部に水分が浸入すると、接続ストラップ 6 や、半導体素子 5、あるいはリードフレーム 3 とのそれぞれの間で電氣的短絡などが生じたり、あるいはそれらに錆が生じたりして、MOSFET 1 の電氣的性能が著しく劣化するおそれがある。場合によっては、MOSFET 1 が完全に作動しなくなるおそれがある。

【0099】

ところが、本実施形態の半導体装置としての MOSFET 51 においては、半導体素子 5 のソース電極 4s と、リードフレーム 3 のソース側端子 3s のソース側ポスト部 7s とが、略板形状に形成されている接続ストラップ 52 によって接続されているとともに、この接続ストラップ 52 の中間部 52c には、電流経路部材 52 をその厚み方向に貫通するように、8 個の四角形の穴 53 が設けられている。これにより、本実施形態の半導体装置の製造方法を実施するに当たり、接続ストラップ 52 によって電氣的に接続された半導体素子 5 およびリードフレーム 3 と、B'g ワイヤ 8 などとを、それらの周りから覆うようにエポキシ系樹脂などの成型用樹脂からなる封止樹脂 (モールド樹脂) によってパッケージングしてハウジング 2 内に包み込む際に、エポキシ系樹脂がそれら接続ストラップ 52

の中間部 52c に設けられた 8 個の四角形の穴 53 を通過する。すると、エポキシ系樹脂は、アルミニウム製の接続ストラップ 52 をその周囲からまんべんなく包み込むように、かつアルミニウム製の接続ストラップ 52 との間に隙間などが生じないように接続ストラップ 52 に密着しつつこれをパッケージングして、ハウジング 2 内に包み込む。

【0100】

このように、接続ストラップ 52 の中間部 52c に 8 個の四角形の穴 53 を設けることにより、MOSFET 51 のハウジング 2 内における接続ストラップ 52 とエポキシ系樹脂との接着（密着）性を向上させることができる。したがって、本実施形態の MOSFET 51 は、そのハウジング 2 内に水分が浸入するおそれ殆ど無く、その耐水性（耐湿性）が大幅に向上されている。すなわち、本実施形態の MOSFET 51 は、外敵環境に対する耐久性がより高く、その電気的動作性能の安定性、すなわち信頼性がより高められている。また、本実施形態の半導体装置の製造方法によれば、外敵環境に対する耐久性がより高く、その電気的動作性能の安定性、すなわち信頼性がより高められている MOSFET 51 を生産できる。

【0101】

以上説明したように、接続ストラップ 52 の中間部 52c に設けられた 8 個の四角形の穴 53 は、その効果から、パッケージング促進穴 53 とも称することができる。また、これら 8 個の穴（パッケージング促進穴）53 は、それらの大きさ、形状、個数、および配置位置などが、接続ストラップ 52 の導電性を大きく妨げない程度に設定されて形成される。具体的には、これら 8 個の穴（パッケージング促進穴）53 は、接続ストラップ 52 の配線抵抗値が、前述した第 1 実施形態の接続ストラップ 6 の配線抵抗値と略同等の大きさを保持できるように設定される。すなわち、実質的に第 1 実施形態の接続ストラップ 6 の中間部 6c に 8 個の穴（パッケージング促進穴）53 を設けて形成された本実施形態の接続ストラップ 52 はその配線抵抗値の大きさが、第 1 実施形態の接続ストラップ 6 の配線抵抗値の大きさと同様に、従来品 A としての従来技術の Au ボンディングを有する MOSFET 101 の配線抵抗値と比較して、約 80% も大幅に低減されて

いる。つまり、本実施形態のMOSFET 51においても、8個の穴53が設けられている接続ストラップ52の配線抵抗値が、MOSFET 51全体のオン抵抗値に対して及ぼす影響は極めて低い。

【0102】

また、本実施形態のMOSFET 51に用いられる接続ストラップは、前記接続ストラップ52には限られない。前述したオン抵抗値の大きさを保持できるならば、例えば図12(a)～(e)に示すように、様々な種類の接続ストラップを使用することができる。それぞれを簡略して説明すると、まず、図12(a)の接続ストラップ54は、その中間部54cに、これが半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとを接続する向きに沿って、4本のスリット形状の穴(パッケージング促進穴)55が設けられているものである。次に、図12(b)の接続ストラップ56は、その中間部56cに、これが半導体素子5のソース電極4sと、リードフレーム3のソース側端子3sのソース側ポスト部7sとを接続する向きに対して垂直な向きに、4本のスリット形状の穴(パッケージング促進穴)57が設けられているものである。図12(c)の接続ストラップ58は、その中間部58cに6個の円形状の小さい穴(パッケージング促進穴)59が設けられているものである。図12(d)の接続ストラップ60は、その中間部60cに、直径が0.8(mm)の円形状の穴(パッケージング促進穴)61が形成されている。また、この穴61は、図12(d)中Eで示すように、その穴61の中心C1が接続ストラップ60のリードフレーム側接続部分60bの縁部から1.1(mm)離された位置に配置されて形成されているものである。そして、最後に図12(e)の接続ストラップ62は、その中間部62cに、直径が0.8(mm)の半円形状の穴(パッケージング促進穴)63が形成されている。それとともに、この接続ストラップ62は、穴63から接続ストラップ62のリードフレーム側接続部分62bの縁部に向けて、図12(e)中Fで示すように、穴63の直径と同じ大きさの幅0.8(mm)で切り欠かれている。また、この接続ストラップ62は、穴63が、接続ストラップ62のリードフレーム側接続部分62bの縁部から最も遠い部分が、図12(e)中Gで示すように、1.5(mm)となる位置に形成されている。

【0103】

以上、図12(a)～(e)に示すように、様々な大きさ、形状、個数、および配置位置の穴55, 57, 59, 61, 63が設けられた各接続ストラップ54, 56, 58, 60, 62は、いずれも前述したオン抵抗値の大きさを保持できるように形成されているものである。

【0104】

なお、本発明に係る半導体装置、および半導体装置の製造方法は、前述した第1～第5の実施の形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の構成の一部や、あるいは本発明に係る半導体装置の製造方法が有する各工程を、種々様々な状態に組み合わせて設定できる。

【0105】

例えば、接続ストラップを、その電極側接続部分が半導体素子5のソース電極4sに、またそのリードフレーム側接続部分がリードフレーム3のソース側端子3sのソース側ポスト部7sに、それぞれ直接接触するように接続する方法は、超音波接合には限られない。例えば、抵抗溶接や、あるいは圧着でもよい。また、この接続作業を行う際に、接続ストラップの電極側接続部分およびリードフレーム側接続部分を、それぞれ同時に半導体素子5のソース電極4s、およびリードフレーム3のソース側端子3sのソース側ポスト部7sに接続せずに、それらのどちらか一方から接続しても構わない。また、接続ストラップを形成する材料は、アルミニウム以外にも、銅や金など導電性の高い金属材料を用いても構わない。

【0106】

また、本発明に係る半導体装置が備える半導体素子は、前記第1～第5の各実施形態においては、それらの両端面にソース電極、ゲート電極、およびドレイン電極がそれぞれ1個ずつ設けられている、いわゆる1層構造としたが、多層構造のものを用いても何ら差し支えない。リードフレーム3に接続する電極4が半導体素子の両端面（表裏面）等に露出していれば、それら各電極と各リードフレーム3とを、前記各接続ストラップ6, 22, 32, 42, 52などを用いて、前述した本発明の各実施形態の半導体装置の製造方法によって容易かつ選択的に、

電氣的に接続できる。

【0107】

同様に、本発明に係る半導体装置の製造方法によって製造される半導体装置が備える半導体素子は、その内部に設けられているデバイスの個数が1個でも、あるいは複数個でも構わない。

【0108】

また、本発明に係る半導体装置が備える電極は、1種類につき1個でなくとも良い。例えば、半導体装置が具備する半導体素子のソース電極、ゲート電極、およびドレイン電極が、それぞれ複数個ずつ設けられていてもよい。このような場合においても、それら各電極と各リードフレーム3とを、前記各接続ストラップ6、22、32、42、52などを用いて、前述した本発明の各実施形態の半導体装置の製造方法によって容易かつ選択的に、電氣的に接続できる。

【0109】

さらに、第5実施形態において略板形状に形成されている接続ストラップ52、54、56、58、60、62に形成した各種の穴53、55、57、59、61、63を、第2実施形態の3個の長尺の略板（帯）形状に形成された接続ストラップ22のそれぞれの中間部22cに設けても構わない。あるいは、それら各種の穴53、55、57、59、61、63を、第4実施形態の接続ストラップ42の略アーチ形状に形成された中間部42cに設けても構わない。これらの場合も、各接続ストラップ22、42が、いずれも前述したオン抵抗値の大きさを保持できればよい。

【0110】

【発明の効果】

本発明に係る半導体装置によれば、電極とリードフレームとの間の電流の流路断面積が拡大されるので、電極とリードフレームとの間における抵抗を下げることができる。また、チップエッジタッチなどによる電氣的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれを低減できる。したがって、本発明に係る半導体装置は、省電力で作動可能であるとともに、電氣的性能が安定しており、かつ耐久性が高い。

【0111】

また、本発明に係る半導体装置を実施するにあたり、電極とリードフレームとの間における抵抗をより下げることができるとともに、電氣的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれをより低減できる。したがって、本発明に係る半導体装置を、より省電力で作動可能であるとともに、電氣的性能がより安定しており、かつ耐久性がより高いものとすることができる。

【0112】

また、本発明に係る半導体装置の製造方法によれば、半導体装置の電極とリードフレームとの間の電流の流路断面積を拡大して、電極とリードフレームとの間における抵抗を下げる可以降低。また、チップエッジタッチなどによる電氣的短絡を起こし難くできるとともに、温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれを低減できる。したがって、本発明に係る半導体装置の製造方法は、省電力で作動可能であるとともに、電氣的性能が安定しており、かつ耐久性が高い半導体装置を製造することができる。

【0113】

また、本発明に係る半導体装置の製造方法を実施するにあたり、半導体装置の電極とリードフレームとの間における抵抗をより下げることができるとともに、電氣的短絡をより起こし難くでき、かつ温度変化などの外的環境の変化によって電流経路の電氣的性能が不安定になるおそれをより低減できる。したがって、本発明に係る半導体装置の製造方法は、より省電力で作動可能であるとともに、電氣的性能がより安定しており、かつ耐久性がより高い半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体装置の概観を示す斜視図。

【図2】

(a) は、図1中A-A線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

(b) は、図 1 中 B-B 線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

【図 3】

図 1 の電流経路部材のオン抵抗と従来の技術にかかる電流経路部材のオン抵抗とを比較して示す図。

【図 4】

図 1 の電流経路部材のオン抵抗の形状依存性を示し、(a) は、電流経路部材の厚さに対する電流経路部材のオン抵抗、(b) は、電流経路部材の幅に対する電流経路部材のオン抵抗、をそれぞれ示す図。

【図 5】

図 1 の電流経路部材および従来の技術にかかる 2 種類の電流経路部材のそれぞれの温度サイクルテストによる信頼性を比較して示す図。

【図 6】

本発明の第 1 の実施の形態に係る半導体装置の製造方法を示し、(a) は、電流経路部材を材料から切り出す前の状態、(b) は、電流経路部材が材料から切り出された後の状態、(c) は、図 6 (b) の電流経路部材を図 1 の半導体装置に用いられる形状に形成した状態、(d) は、図 6 (b) の電流経路部材を他の形状に形成した状態、(e) は、図 6 (b) の電流経路部材をさらに他の形状に形成した状態、をそれぞれ示す工程図。

【図 7】

本発明の第 1 の実施の形態に係る半導体装置の製造方法を示し、(a) は、図 6 (c) の電流経路部材を接合ホーンによって真空吸着した状態、(b) は、図 7 (a) の状態の電流経路部材を半導体素子のソース電極およびリードフレームのソース側端子のソース側ポスト部のそれぞれに同時に超音波接合している状態、(c) は、図 6 (c) の電流経路部材が半導体素子のソース電極およびリードフレームのソース側端子のソース側ポスト部のそれぞれに超音波接合された状態、をそれぞれ示す工程図。

【図 8】

本発明の第 2 の実施の形態に係る半導体装置の内部構造の主要部分を示す断面

図。

【図 9】

本発明の第 3 の実施の形態に係る半導体装置の内部構造の主要部分を示す断面図。

【図 10】

本発明の第 4 の実施の形態に係る半導体装置の内部構造の主要部分を示す断面図。

【図 11】

本発明の第 5 の実施の形態に係る半導体装置の内部構造の主要部分を示し、(a) は、厚み方向に対して垂直に切断した場合、(b) は、厚み方向に沿って切断した場合、をそれぞれ示す断面図。

【図 12】

図 11 の半導体装置に用いられる電流経路部材の種類を示し、(a) は、4 本のスリットが設けられている場合、(b) は、3 本のスリットが設けられている場合、(c) は、6 個の円形の小穴が設けられている場合、(d) は、1 個の円形の穴が設けられている場合、(e) は、半円形の穴およびこの穴に連続する切り欠き部が設けられている場合、をそれぞれ示す平面図である。

【図 13】

従来の技術に係る半導体装置の概観を示す斜視図。

【図 14】

(a) は、図 13 中 X-X 線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

(b) は、図 13 中 Y-Y 線に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

【図 15】

(a) は、従来の技術に係る他の半導体装置をその厚み方向に対して垂直に切断した場合の半導体装置の内部構造の主要部分を示す断面図。

(b) は、従来の技術に係る他の半導体装置をその厚み方向に沿って切断した場合の半導体装置の内部構造の主要部分を示す断面図。

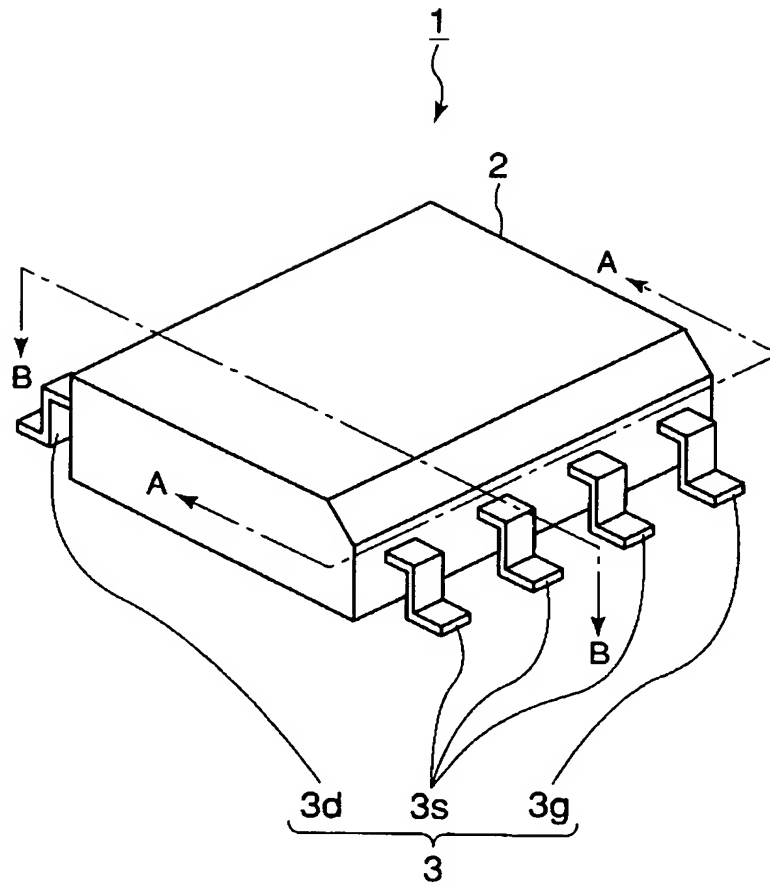
【符号の説明】

- 1, 2 1, 3 1, 4 1, 5 1…MOSFET (パワーMOSFET、半導体装置)
2…ハウジング
3…リードフレーム
4…電極
4 g…ゲート電極 (ゲートパット)
4 s…ソース電極 (ソースパット)
5…半導体素子
6, 1 3, 1 4, 2 2, 3 2, 4 2, 5 2, 5 4, 5 6, 5 8, 6 0, 6 2…接続ストラップ (A 1 ストラップ、電流経路部材)
6 a, 2 2 a, 3 2 a, 4 2 a, 5 2 a…電極側接続部分
6 b, 2 2 b, 3 2 b, 4 2 b, 5 2 b, 6 0 b, 6 2 b…リードフレーム側接続部分
6 c, 2 2 c, 4 2 c, 5 2 c, 5 4 c, 5 6 c, 5 8 c, 6 0 c, 6 2 c…ビーム部 (中間部)
5 3, 5 5, 5 7, 5 9, 6 1, 6 3…パッケージング促進穴 (穴)

【書類名】

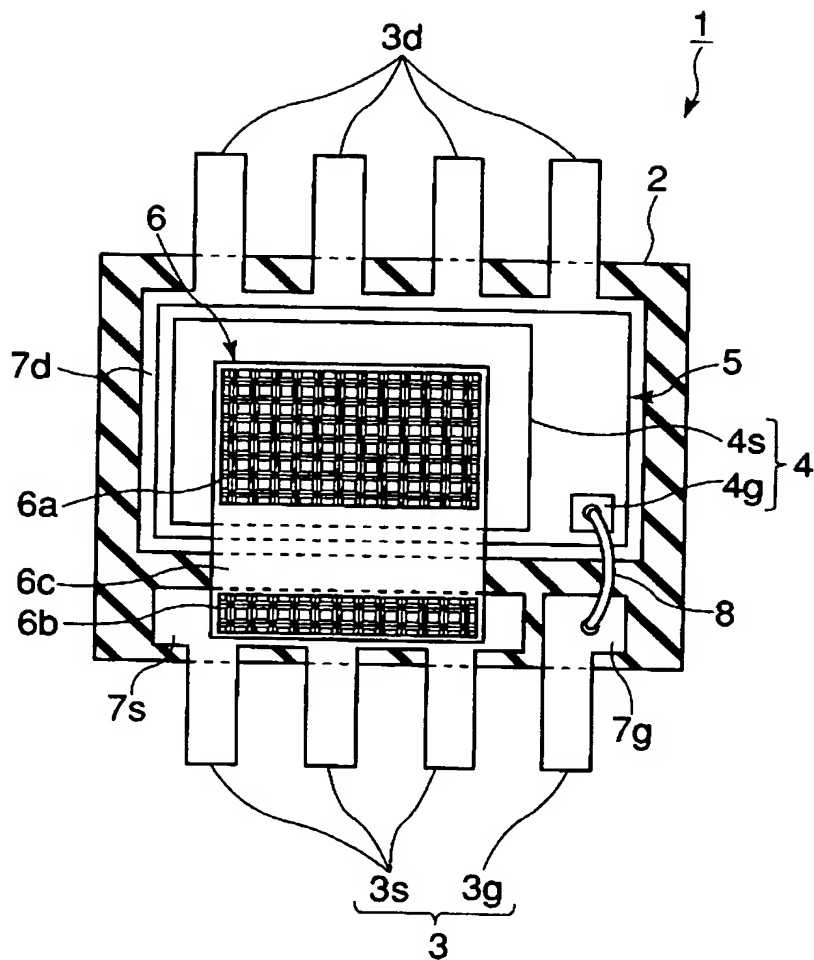
図面

【図 1】

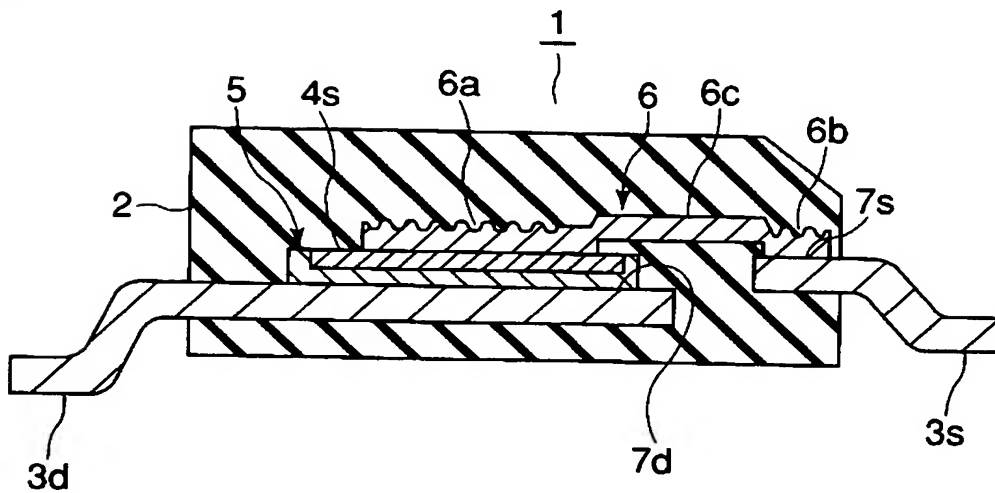


【図 2】

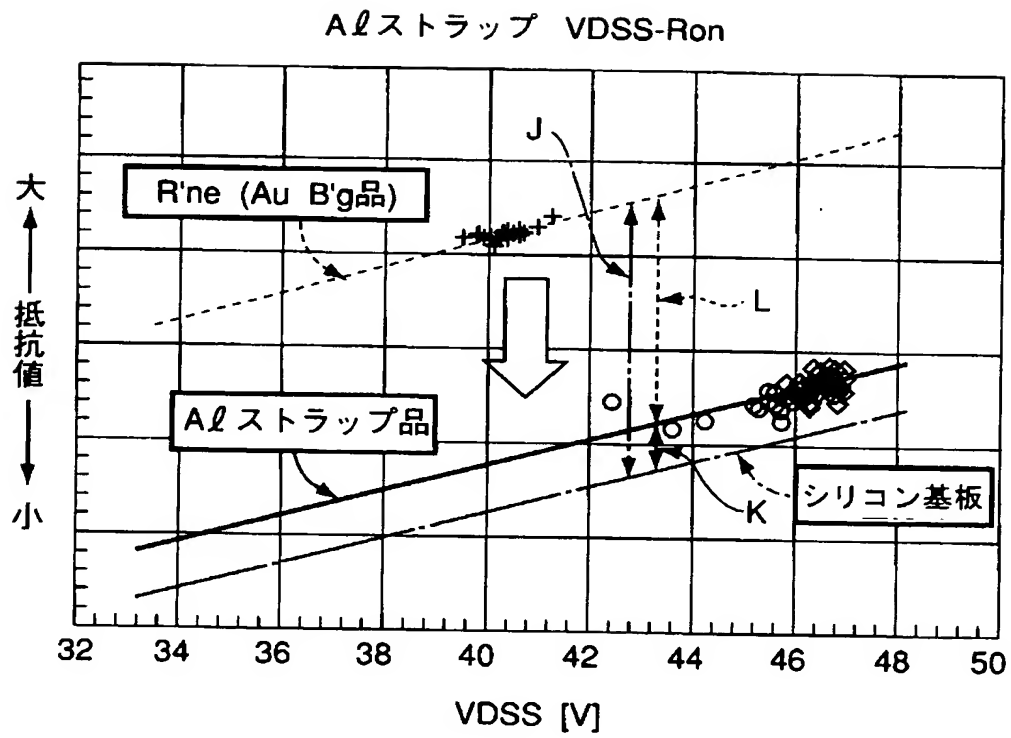
(a)



(b)

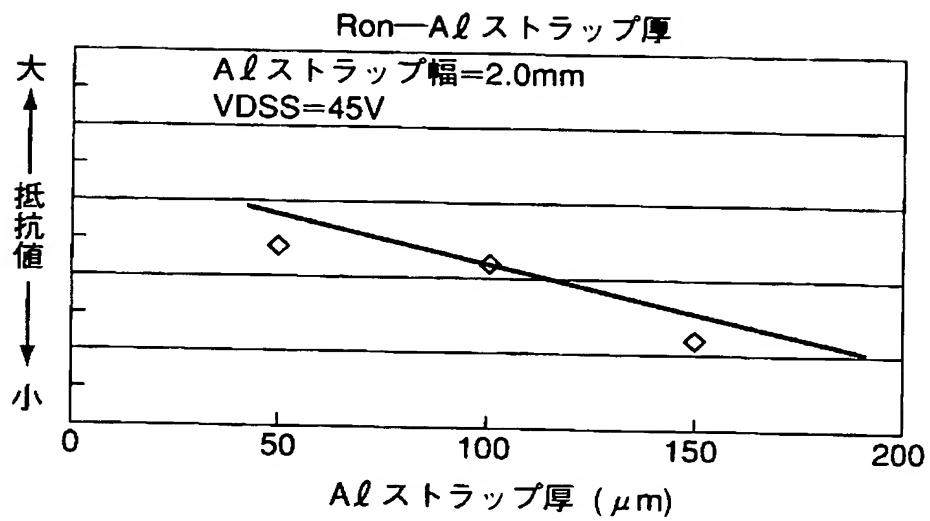


【図 3】

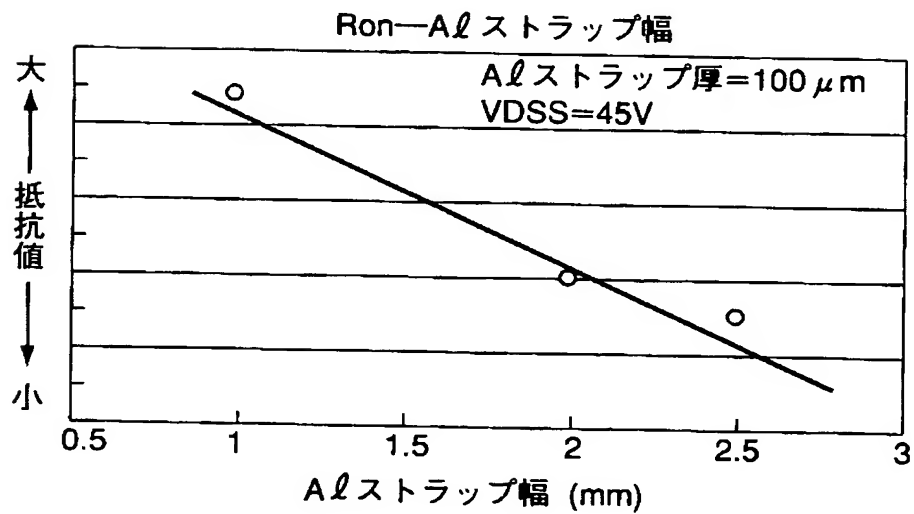


【図 4】

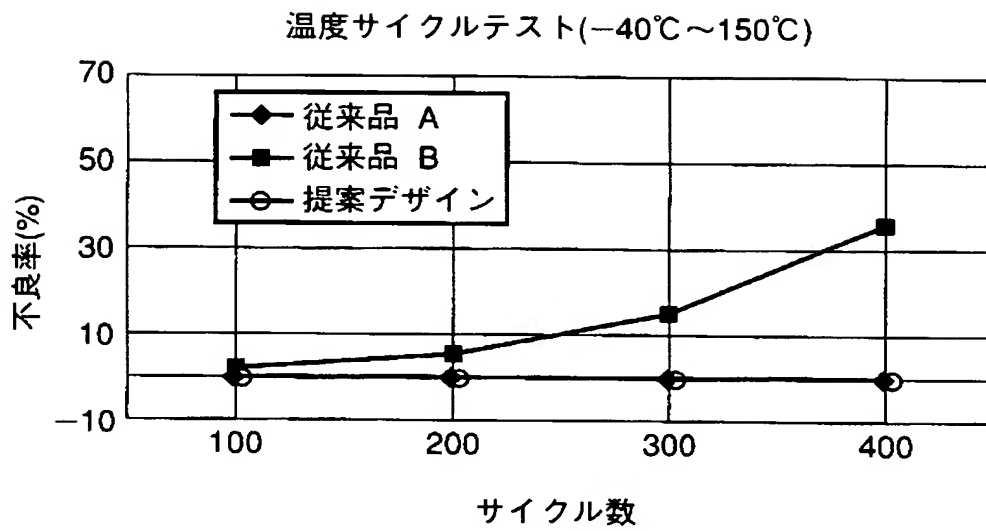
(a)



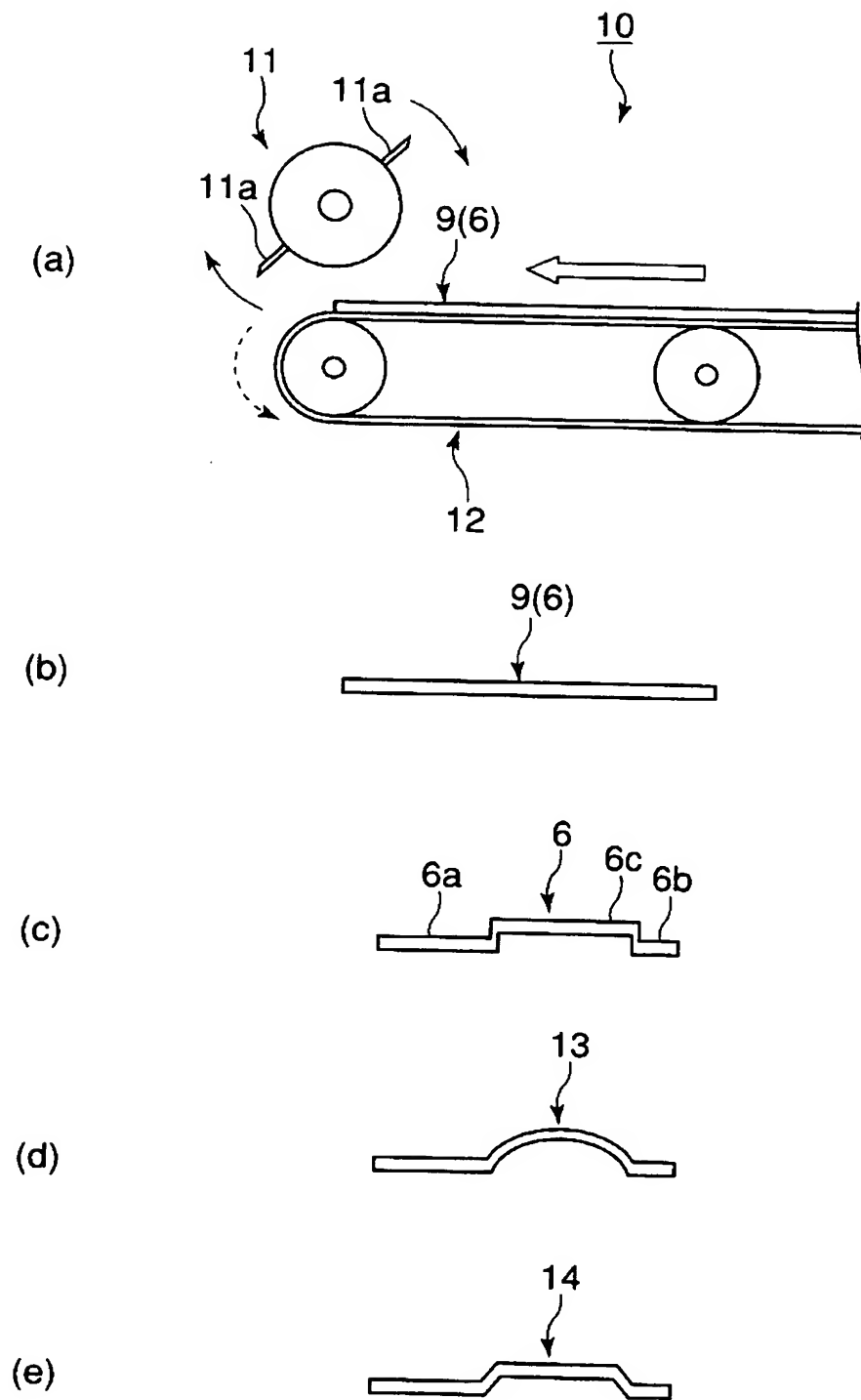
(b)



【図 5】

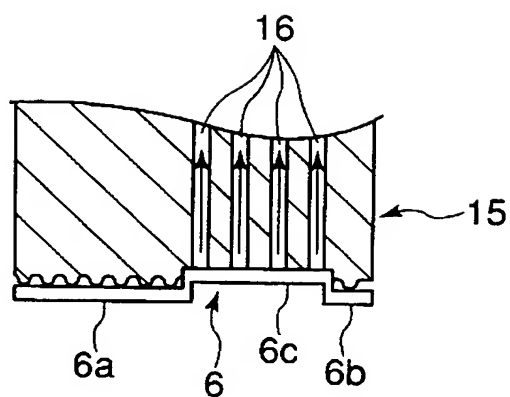


【図 6】

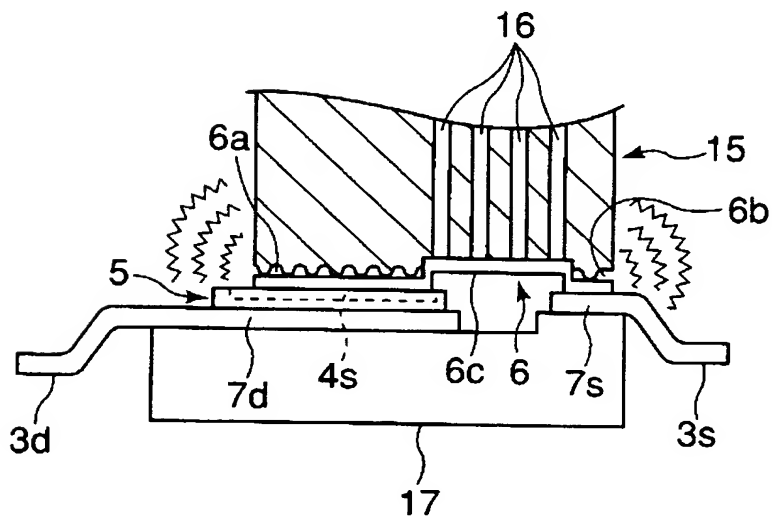


【図 7】

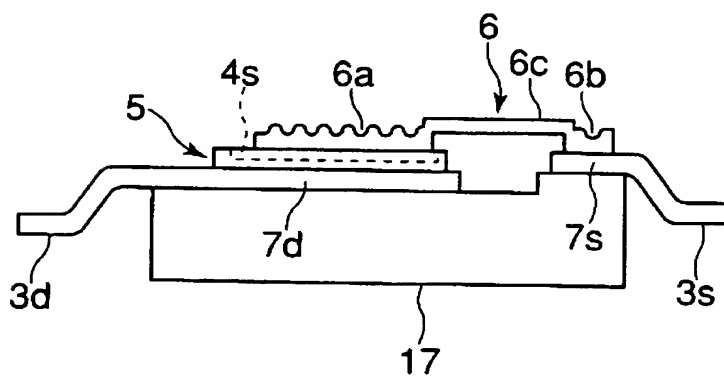
(a)



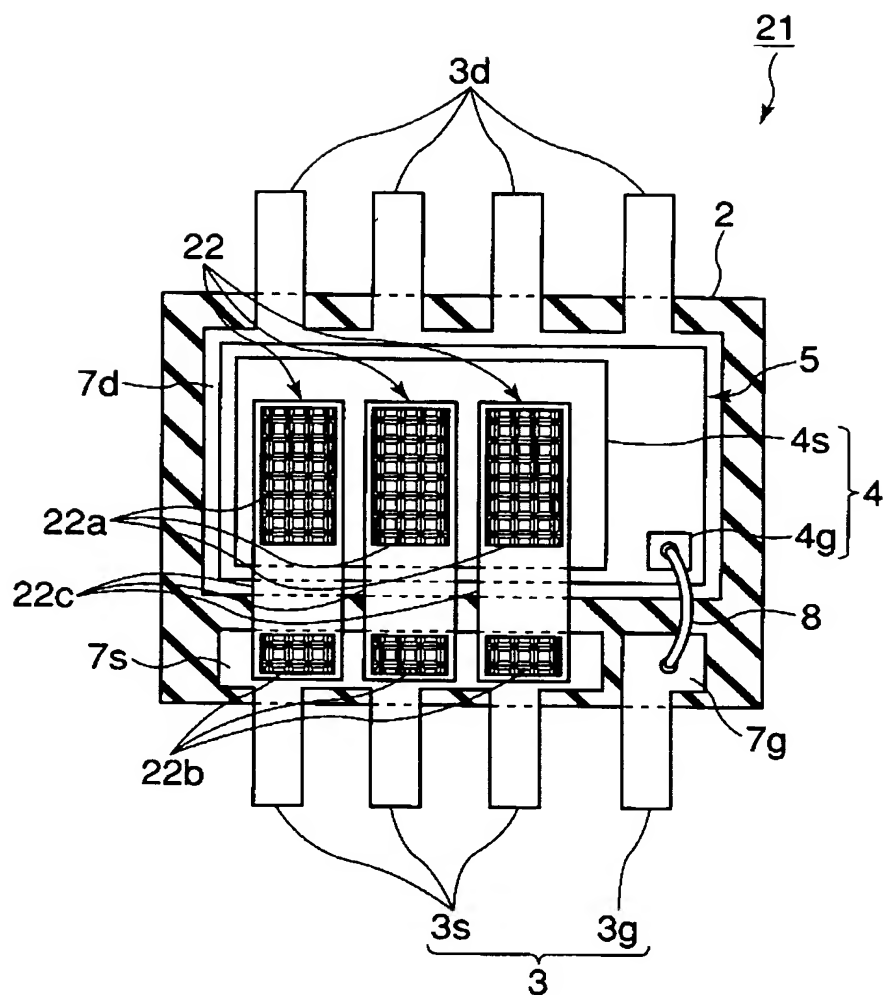
(b)



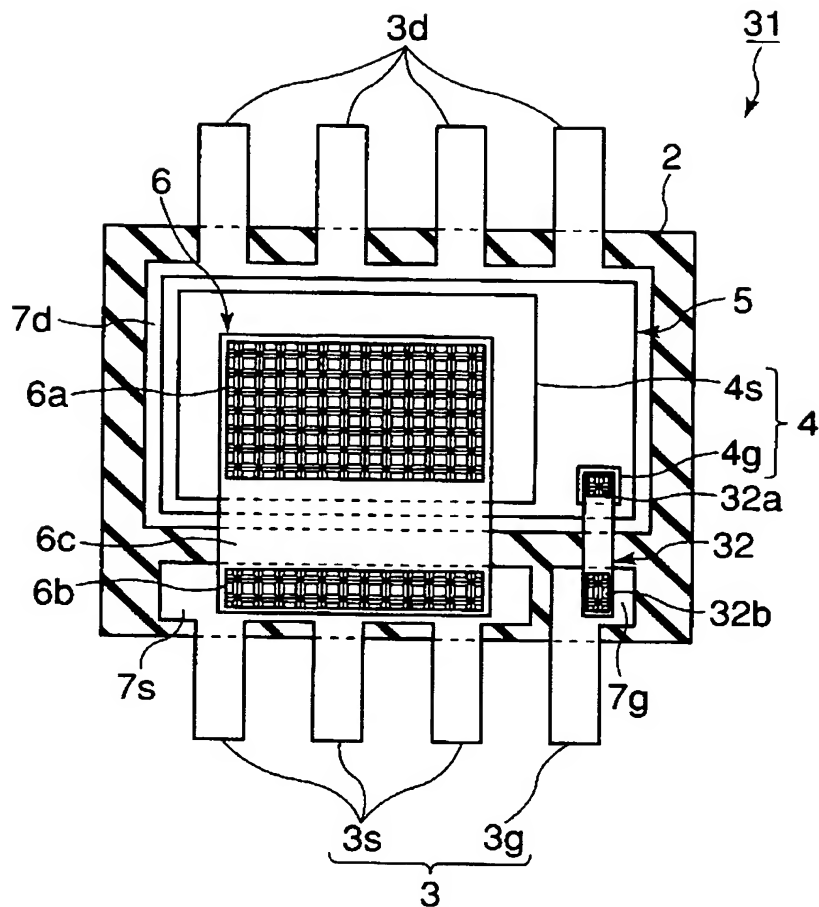
(c)



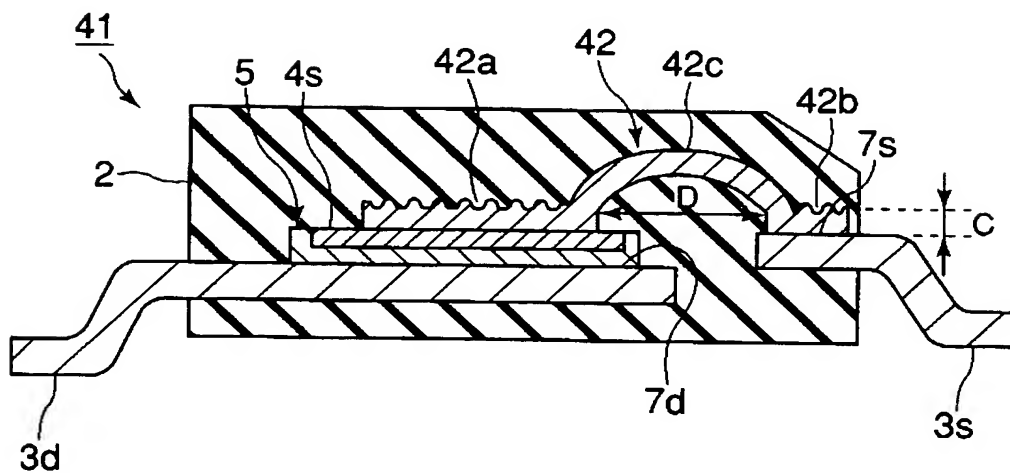
【図 8】



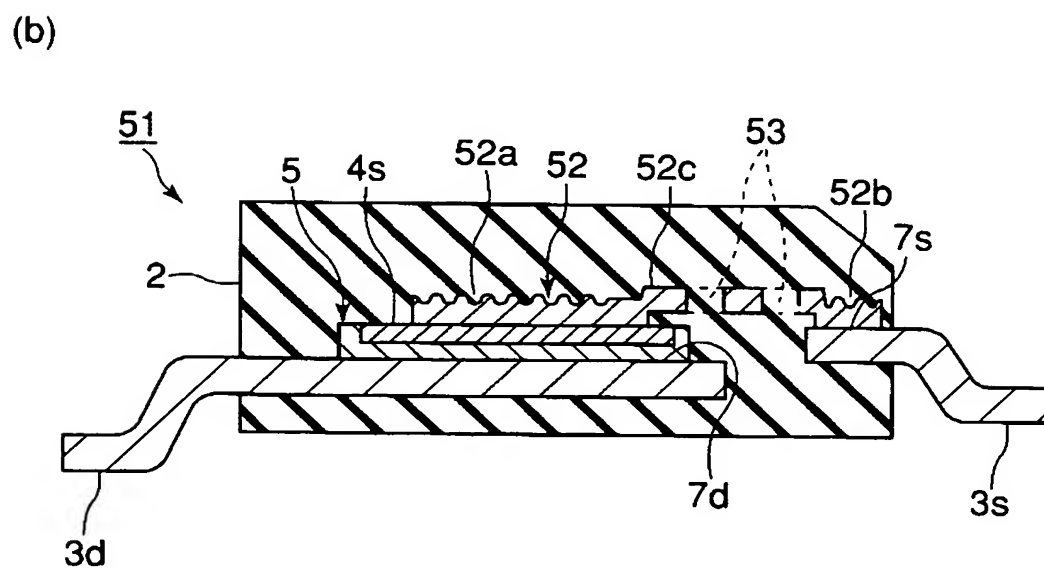
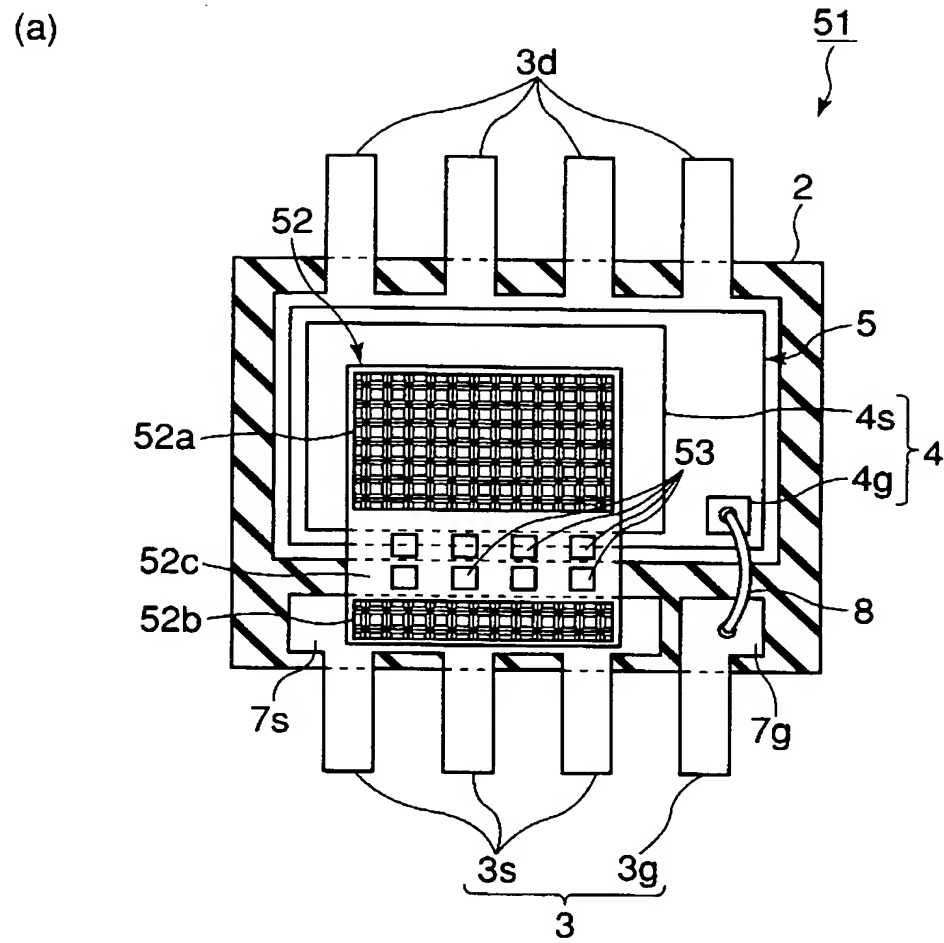
【図 9】



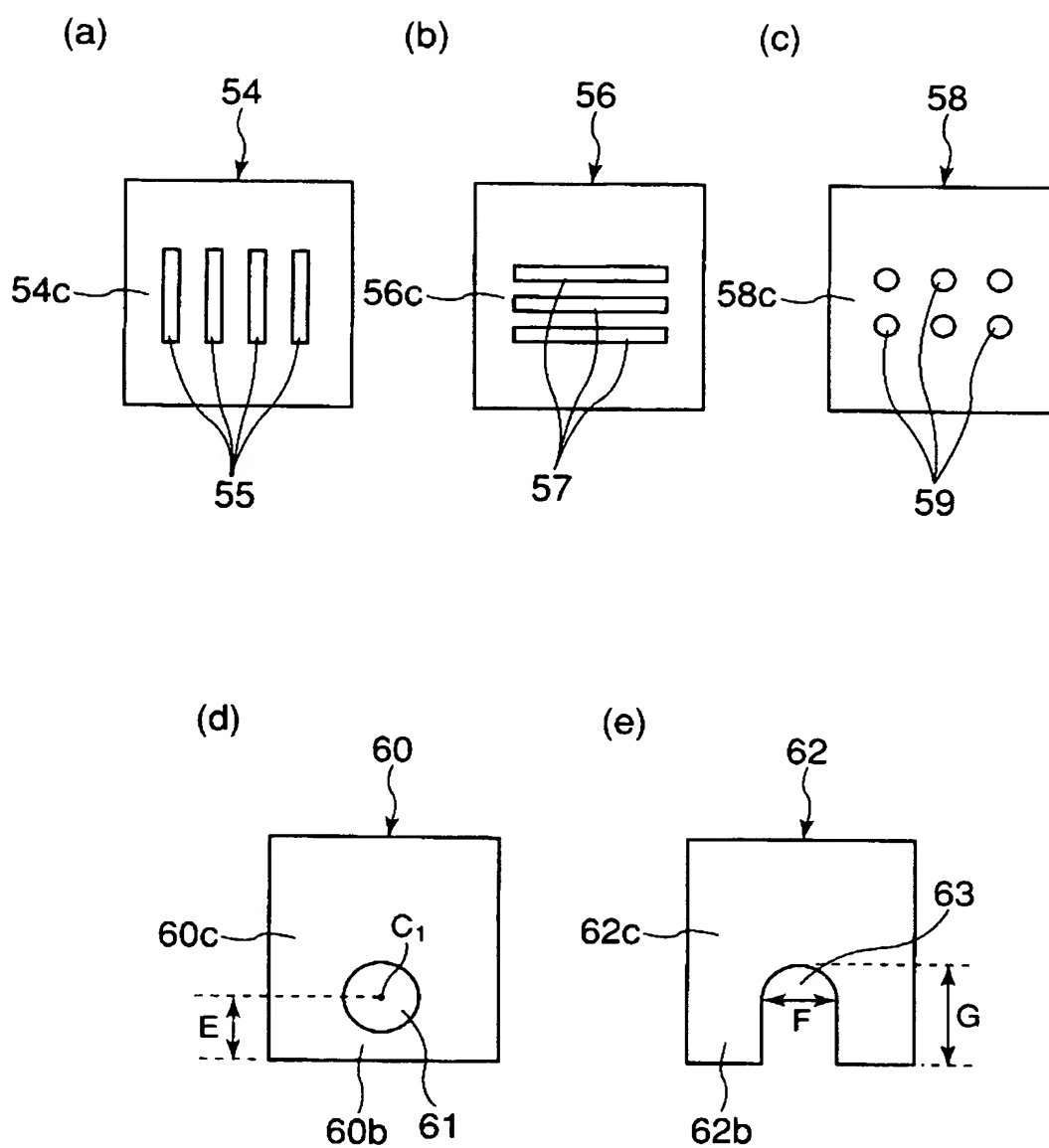
【図 10】



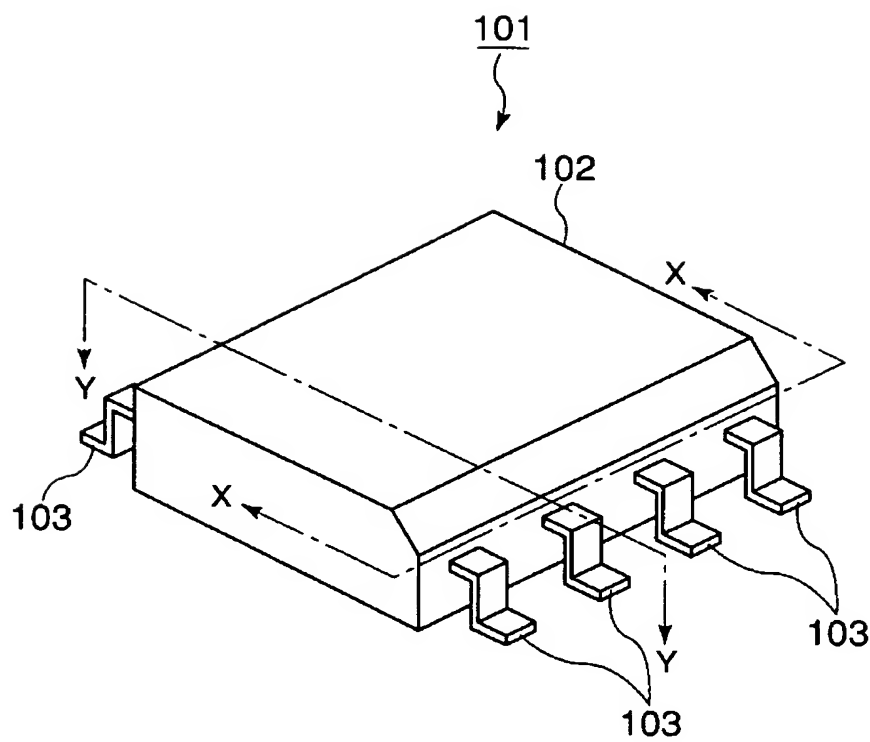
【図 1 1】



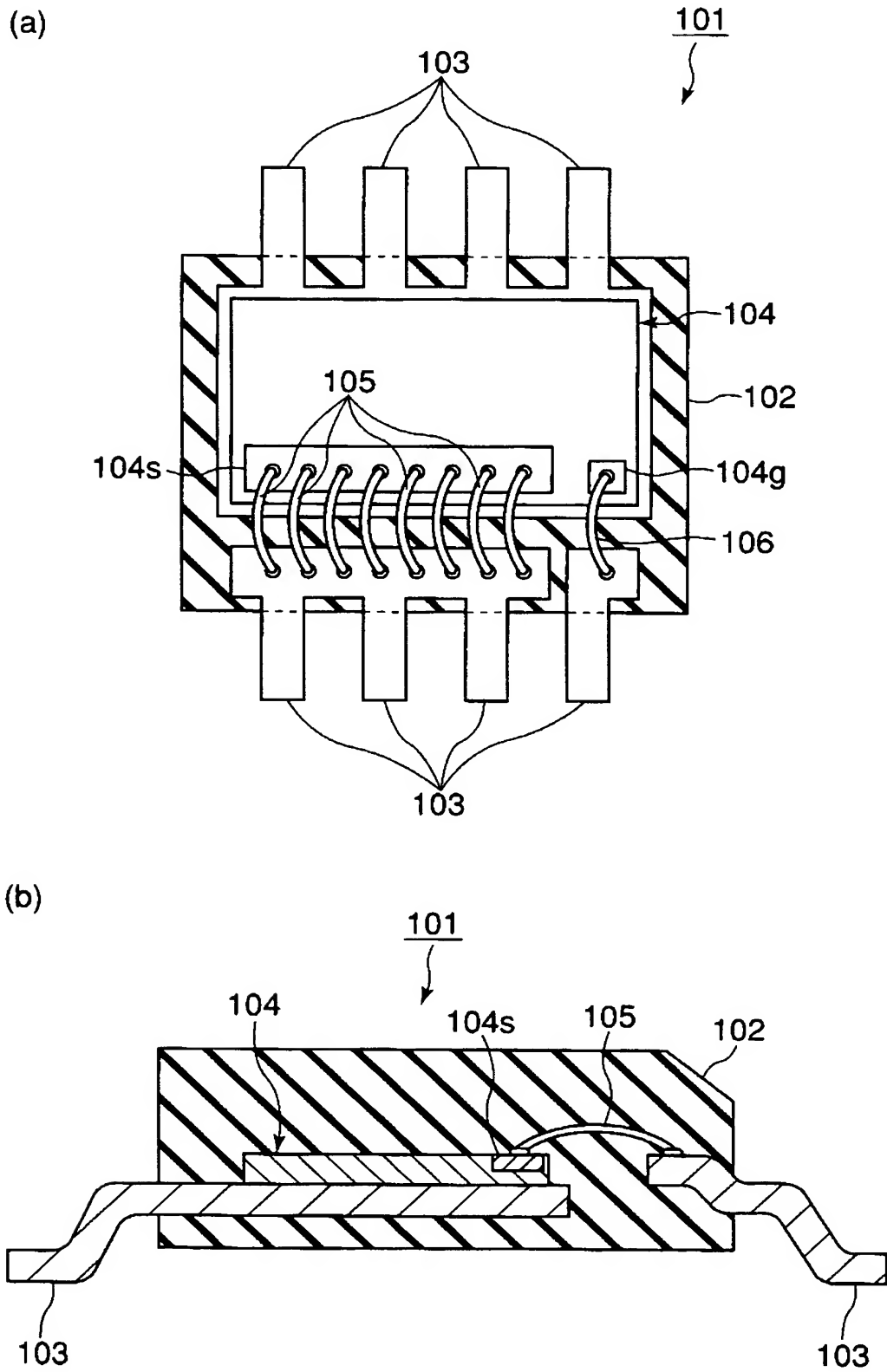
【図 12】



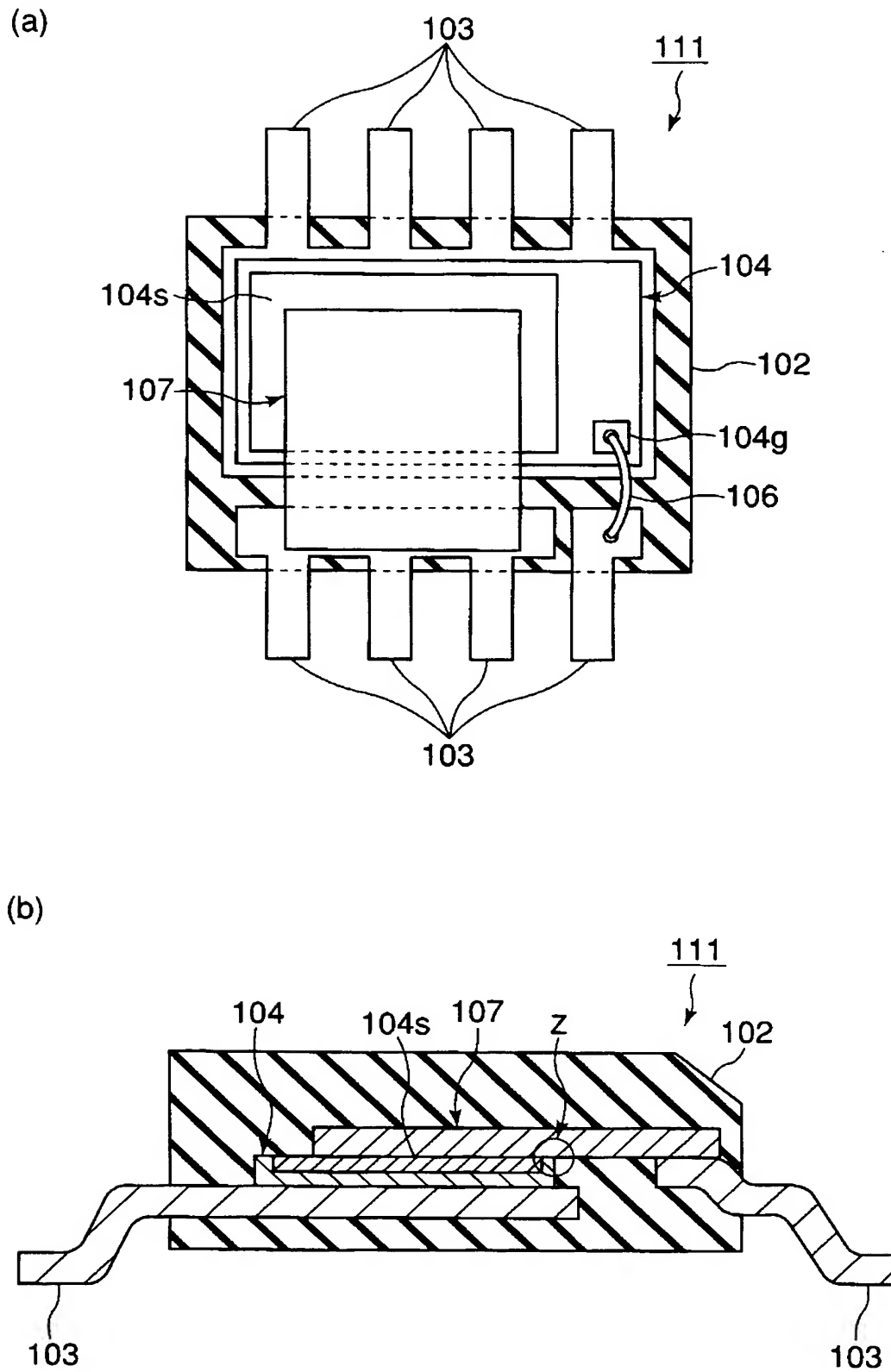
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 省電力で作動可能であるとともに、電氣的性能が安定しており、かつ耐久性が高い半導体装置を提供する。

【解決手段】 リードフレーム 3 のドレイン側端子 3 d のドレイン側ポスト部 7 d の上に、半導体素子 5 をそのソース電極 4 s およびゲート電極 4 g が上向きとなる姿勢で接合する。素子 5 のゲート電極 4 g とフレーム 3 のゲート側端子 3 g のゲート側ポスト部 7 g とを B' g ワイヤ（ボンディングワイヤ） 8 で電氣的に接続する。略板形状に形成されており、かつ、ソース電極 4 s に接続される部分 6 a とソース側ポスト部 7 s に接続される部分 6 b との間の中間部 6 c が、素子 5 から離間する形状に形成されている 1 個のアルミニウム製の接続ストラップ 6 を、その両端部 6 a および 6 b が、電極 4 s およびポスト部 7 s に直接接触するように、超音波接合により同時に電氣的に接合する。

【選択図】 図 2

特願 2001-120309

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝